

应用于多核处理器的全集成智能电源管理芯片

特性

- **3 路同步降压转换器 (DCDCs), PSM/PWM 两种工作模式, 支持动态调压 (DVS)**
 - ◇ 1 路可在 0.6-2.6V 调节, 驱动能力 4 A
 - ◇ 1 路可在 0.6-3.4V 调节, 驱动能力 3 A
 - ◇ 1 路可在 0.6-2.6V 调节, 驱动能力 3 A
- **8 路线性稳压器 (LDOs)**
 - ◇ 3 路 low-power LDO, 可在 0.7-3.3 V 调节, 驱动能力 2x400 mA, 1x200mA
 - ◇ 4 路 low-noise LDO, 可在 0.7-3.3 V 调节, 驱动能力 2x400 mA, 1x200mA, 1x100mA
 - ◇ 1 路 standby LDO, 可在 2.6 - 3.3 V 调节, 驱动能力 250mA
- **PowerPath**
 - ◇ 内置 PowerPath 无缝切换, 自动分配来自 BAT, AC adapter 的电源
- **控制部分**
 - ◇ 可配置默认上电时序和默认电压
 - ◇ 可配置掉电时序
 - ◇ 丰富的中断和唤醒控制
- **支持外部按键输入**
 - ◇ 可同时支持 Power 和 RESET 两个按键
 - ◇ 可屏蔽 Power Key 短按/长按中断和唤醒
 - ◇ 可 Power 超长按键复位和 RESET 按键复位
- **多路复用的通用 GPIO**
- **保护功能**
 - ◇ 欠压保护 (UVP)、过压保护 (OVP)、过流保护 (OCP)、过温保护 (OTP)、WatchDog
- **低功耗**
 - ◇ 30 μ A
- **应用处理器接口**
 - ◇ I2C @400KHz/3.4M
 - ◇ 上电复位 POR
 - ◇ 可灵活配置的中断
- **内置 Codec, 两通道 24bit DACs, 一通道 21bit ADC**
- **封装 QFN40(0606)**

概述

IP6205 是一颗应用于多核处理器的全集成、高效率、低成本的电源管理芯片。

IP6205 提供 3 路可配置同步降压转换器, 最小步进 12.5mV, 开关频率最高 3MHz, 最高效率高达 95%, 单路最大负载能力 4A。可同时为多核处理器、存储器、外部设备、线性稳压器等提供丰富的能源。处理器基于任务强度可通过 I2C 接口动态调节 (DVS) 需要的电源电压, 以实现能效的最优化。IP6205 另外提供 8 路输出可配置的线性稳压器。

IP6205 的所有电源可配置默认的上电时序和默认电压, 同时也可配置掉电时序。

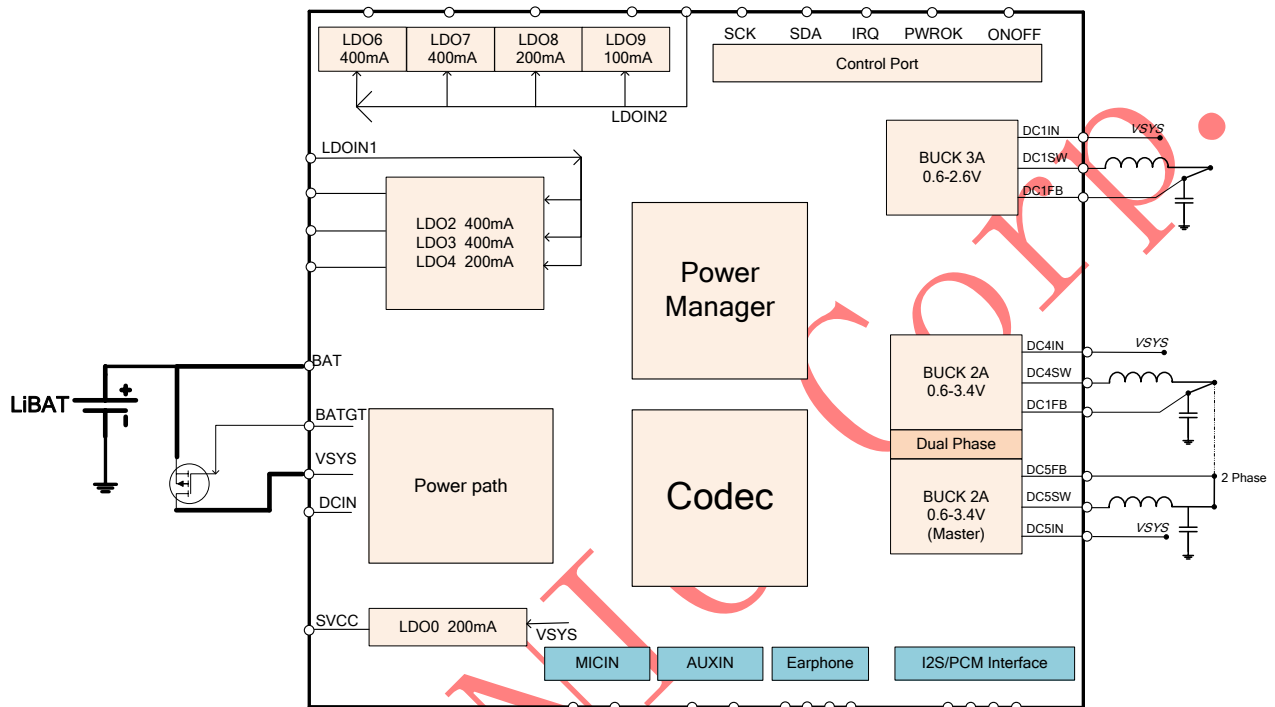
IP6205 内置 BAT、AC adapter 三路无缝切换的 PowerPath, 同时内置高精度 ADC。

IP6205 可提供丰富的中断控制和唤醒控制, 以及欠压、过压、过流、过温保护功能。

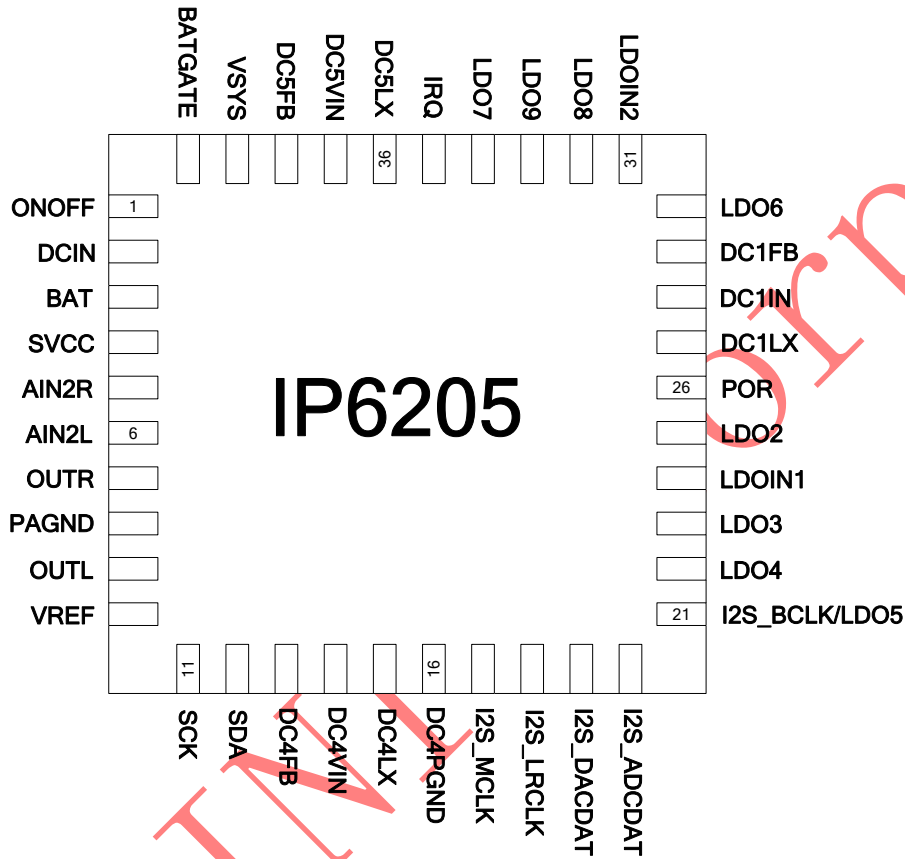
应用产品

- **家用设备**
 - ◇ 机顶盒、网络播放盒
 - ◇ 网络摄像机、数码相框
 - ◇ 智能家居 (智能电视、智能路由)
- **便携设备**
 - ◇ 平板电脑
 - ◇ MID
 - ◇ 电子书
 - ◇ 导航仪
- **安防设备及其它处理器系统**

典型应用 (Typical Application)



引脚定义 (PIN Description)



Pin name	Pin number	Pin description
ONOFF	1	ONOFF 按键输入引脚
DCIN	2	DC5V 供电输入
BAT	3	电池供电输入（并非直接接电池的引脚）
SVCC	4	SVCC 电源输出
AIN2R	5	通道 2 右声道输入端
AIN2L	6	通道 2 左声道输入端
OUTR	7	Audio Channel R out, drive earphone or classD
PAGND	8	PA GND
OUTL	9	Audio Channel L out, drive earphone or classD
VREF	10	基准输出
SCK	11	I2C 串行接口时钟
SDA	12	I2C 串行接口数据

DC4FB	13	DCDC4 电源输出反馈引脚
DC4VIN	14	DCDC4 电源输入
DC4LX	15	DCDC4 开关引脚
DC4PGND	16	DC4 GND
I2S_MCLK	17	I2S 串行时钟引脚
I2S_LRCLK	18	I2S 帧时钟引脚
I2S_DACDAT	19	I2S 数据引脚
I2S_ADCDAT	20	I2S 数据引脚
I2S_BCLK	21	I2S 位时钟引脚
LDO4	22	LDO4 电源输出
LDO3	23	LDO3 电源输出
LDOIN1	24	LDO 输入端 1
LDO2	25	DCDC1 电源输出反馈引脚
POR	26	PMIC 上电完成信号，可用于主控的上电复位
DC1LX	27	DCDC1 开关引脚
DC1IN	28	DCDC1 电源输入
DC1FB	29	DCDC1 电源输出反馈引脚
LDO6	30	LDO6 电源输出
LDOIN2	31	LDO 输入端 2
LDO8	32	LDO8 电源输出
LDO9	33	LDO9 电源输出
LDO7	34	LDO7 电源输出
IRQ	35	中断输出引脚
DC5LX	36	DCDC5 开关引脚
DC5VIN	37	DCDC5 电源输入
DC5FB	38	DCDC5 电源输出反馈引脚
VSYS	39	PowerPath 电源输出
BATGATE	40	BAT 到 VSYS 外扩 MOS 驱动引脚信号

极限参数 (Absolute Maximum Ratings)

PARAMETER	Value	UNITS
Voltage range on pins: DCIN, VSYS, LDOIN , DC1VIN, DC4VIN, DC5VIN	-0.3 ~ 6	V
Operating Temperature Range, T _A	-40 ~ 85	°C
Junction Temperature Range, T _J	-40 ~ 150	°C
Storage temperature after soldering	-60 ~ 150	°C
Maximum ESD stress voltage, Human Body Model	>4K	V

电热特性 (Thermal Characteristics)

PARAMETER	Value	UNITS
θ_{JA} Junction-to-ambient	50	°C/W
θ_{JC} Junction-to-case		°C/W
θ_{JB} Junction-to-board		°C/W

电气特性 (Electrical Characteristics)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
I _{sleep} : SLEEP Mode Current	Deep-Sleep state		30		μA
V _{IL} : Logic Low Input Voltage				0.7	V
V _{IH} : Logic High Input Voltage		1.2			V

I2C

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
ADDRESS	Default		0x60		
f _{SCK} : Clock Operating Frequency			400	3400	KHz

12-bit ADC

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
Range of Channels	V _{BAT} 、V _{VSYS} 、V _{DCIN}	0.25		5.25	V
	I _{DCIN}	0		5000	mA
	I _{BAT}	-5000		5000	mA
	I _{TEMP}	-40		150	°C
	V _{GP1} 、V _{GP2}	-1		4	V
f _{ADC}			480		KHz

PowerPath

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
BAT→VSYS					mΩ
DCIN→VSYS			50		mΩ

DCDC1

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
V _{IN} : Input voltage		3		5.5	V
V _{OUT} : Output voltage	Vset = 0000_0000 Vset = 0010_0000 Vset = 1010_0000	-2%	0.6 1.0 2.6	2%	V
V _{OUTSTEP} : Output voltage step			12.5		mV
I _{OUTmax} : Rated output current			4000		mA
I _{LIM} : PMOS current limit			5000		mA
Output voltage transition rate	R_STEP = 11 R_STEP = 10 R_STEP = 01		2.17 4.34 17.36		mV/μs
R _{DS(ON)_PMOS} : P-channel MOSFET On-resistance			60		mΩ
R _{DS(ON)_NMOS} : N-channel MOSFET On-resistance			80		mΩ
f _{OSC} : Switching frequency	DC_FRQ[1:0] = 10		2.6		M
Duty cycle				86	%
R _{DIS} : Discharge resistor for power-down sequence			100		Ω

DCDC4

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
V _{IN} : Input voltage		3		5.5	V
V _{OUT} : Output voltage	Vset = 0000_0000 Vset = 0010_0000 Vset = 1110_0000	-2%	0.6 1.0 3.4	2%	V
V _{OUTSTEP} : Output voltage step			12.5		mV
I _{OUTmax} : Rated output current			3000		mA
I _{LIM} : PMOS current limit			4000		mA
Output voltage transition rate	R_STEP = 11 R_STEP = 10 R_STEP = 01		2.17 4.34 17.36		mV/μs
R _{DS(ON)_PMOS} : P-channel MOSFET On-resistance			80		mΩ
R _{DS(ON)_NMOS} : N-channel MOSFET On-resistance			100		mΩ
f _{OSC} : Switching frequency	DC_FRQ[1:0] = 10		2.6		MHz
Duty cycle				86	%
R _{DIS} : Discharge resistor for power-down sequence			100		Ω

DCDC5

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
V _{IN} : Input voltage		3		5.5	V
V _{OUT} : Output voltage	Vset = 0000_0000 Vset = 0010_0000 Vset = 1010_0000	-2%	0.6 1.0 2.6	2%	V
V _{OUTSTEP} : Output voltage step			12.5		mV
I _{OUTmax} : Rated output current			3000		mA
I _{LIM} : PMOS current limit			4000		mA
Output voltage transition rate	R_STEP = 11 R_STEP = 10 R_STEP = 01		2.17 4.34 17.36		mV/μs
R _{DS(ON)_PMOS} : P-channel MOSFET On-resistance			80		mΩ
R _{DS(ON)_NMOS} : N-channel MOSFET On-resistance			100		mΩ
f _{OSC} : Switching frequency	DC_FRQ[1:0] = 10		2.6		MHz
Duty cycle				86	%
R _{DIS} : Discharge resistor for power-down sequence			100		Ω

SVCC

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
V _{IN} : Input voltage	V _{SYS}	3		5.5	V
V _{OUT} : Output voltage		2.6		3.3	V
V _{OUTSTEP} : Output voltage step			100		mV
I _{OUTmax} : Rated output current			250		mA
R _{DS(ON)} : MOSFET On-resistance					mΩ
R _{DIS} : Discharge resistor for power-down sequence			100		Ω
R _{OUT} : V _{OUT} internal resistance			200		kΩ
Output Noise, <20KHz			100		μV _{RMS}

LDO2~4

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
V _{IN} : Input voltage	LDOIN1	3		5.5	V
V _{OUT} : Output voltage		0.7		3.3	V
V _{OUTSTEP} : Output voltage step			25		mV
I _{OUTmax} : Rated output current	LDO2、LDO3		400		mA
	LDO4		200		mA
	LDO5		100		mA
R _{DS(ON)} : MOSFET On-resistance					mΩ
R _{DIS} : Discharge resistor for power-down sequence			100		Ω

R _{OUT} : VOUT internal resistance			200		kΩ
Output Noise,<20KHz			30		μV _{RMS}

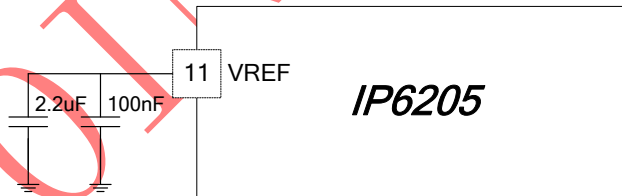
LDO6~9

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
V _{IN} : Input voltage	LDOIN2	3		5.5	V
V _{OUT} : Output voltage		0.7		3.3	V
V _{OUTSTEP} : Output voltage step			25		mV
I _{OUTmax} : Rated output current	LDO6、LDO7		400		mA
	LDO8		200		mA
	LDO9		100		mA
R _{DS(ON)} : MOSFET On-resistance					mΩ
R _{DIS} : Discharge resistor for power-down sequence			100		Ω
R _{OUT} : VOUT internal resistance			200		kΩ
Output Noise,<20KHz			30		μV _{RMS}

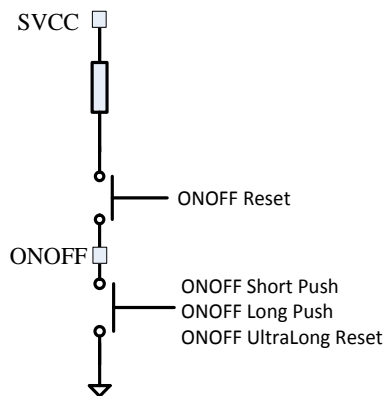
详细描述 (Detailed Description)

电压参考 (Power Reference)

IP6205 内置参考电压源，需要在 VREF 引脚到 GND 外接滤波电容。



多功能按键 (ONOFF KEY)



ONOFF 按键如上图所示意

- **ONOFF Reset:** 按键短按超过 60ms, 发出复位信号, 除 SVCC 外所有电源全部掉电, SLDO1 也强制掉电, 处于 S3 状态。按键抬起后, 上电进 S1
- **ONOFF UltraLong Reset:** 按键从按下到抬起的持续时间超过 8s, 发出复位信号, 复位处理方式完全同 ONOFF Reset。
ONOFF Reset 和 ONOFF UltraLong Reset 功能可以被寄存器 disable。
- **ONOFF Short Push:** 按键从按下到抬起的持续时间在(60ms,1s)范围, 发出 ONOFF 短按事件。
- **ONOFF Long Push:** 按键从按下持续时间大于 1s, 发出 ONOFF 长按事件。

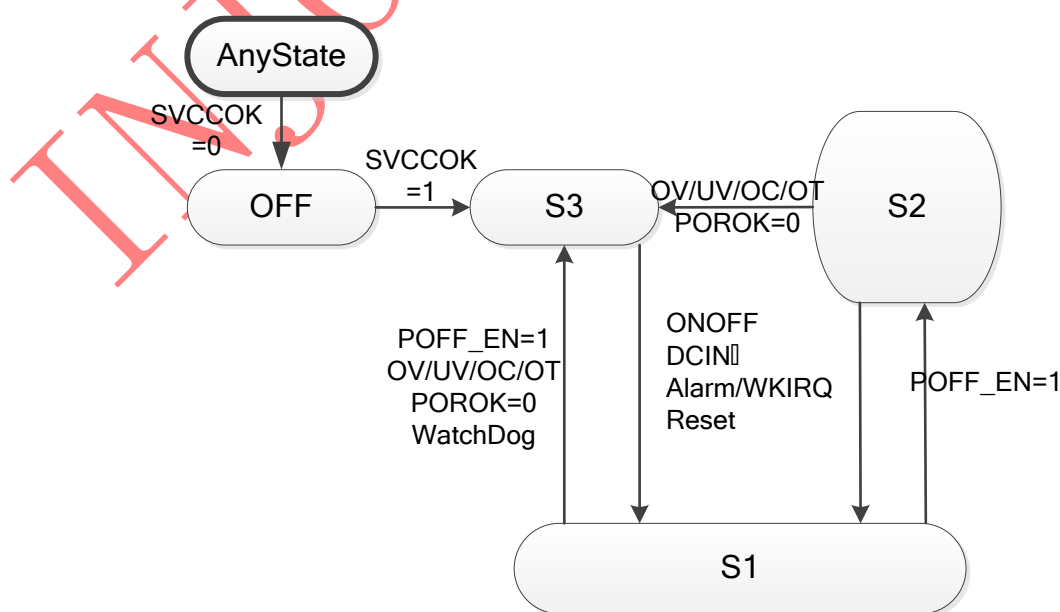
ONOFF Short Push 和 ONOFF Long Push 不会在同一次按键中发生; ONOFF Short Push 和 ONOFF UltraLong Reset 不会在同一次按键中发生; ONOFF Long Push 和 ONOFF UltraLong Reset 可能同一次按键事件发生, ONOFF Long Push 发生后, 只要按键不抬起, ONOFF timer 继续计时, 累计到 8s 后, 发出复位信号。

在 S2|S3 下, 只要使能对应唤醒位, 短/长按 ON/OFF 都能唤醒系统。SVCC 第一次上电后默认只有短按 ON/OFF 能唤醒。

在 S1 下, 短按/长按 ON/OFF 都可产生中断。

状态转换 (State-Machine)

- **无电状态 (No Power):** 系统完全掉电或无法维持 SVCC 达到正常工作的电压。
- **关机状态 (S3):** POWER OK (POR)信号为低, I2C 不可通信。PowerPath 关闭, VSYS 无电。
如果 LDO1 给主控的 Standby 供电[即寄存器 LDO1_ALYON=1], 则 S3 状态下, LDO1 和 SVCC 有电; 如果 LDO1 作为普通 LDO 使用[即寄存器 LDO1_ALYON=0], 则 S3 状态下, 只有 SVCC 有电。
后续为了叙述简便, “SLDO1” 表示给主控 standby 供电, “LDO1” 表示普通 LDO 用。
- **待机状态 (S2):** POWER OK (POR)信号为低, I2C 不可通信。PowerPath 打开, VSYS 有电。
跟 S3 相比, 至少多 1 路 DCDC 或者 LDO 有电。
- **工作状态 (S1):** POWER OK (POR)信号为高, I2C 可以通信。PowerPath 打开, VSYS 有电。
所有电源输出和 IO 控制都可以由软件控制。



唤醒 (S3/S2--->S1):

1. ONOFF 短按 默认使能
2. ONOFF 长按
3. ONOFF 超短按下
4. DCIN 插入 默认使能
5. RTC alarm
6. WKIRQ
7. ONOFF 超长按抬起 默认使能
8. ONOFF Reset 抬起 默认使能

待机保护 (S2-->S3):

1. 低电关机
2. 过温保护
3. LDO 过流保护
4. PowerPath(DCIN)过流保护

待机 (S1--->S2):

1. POFF_EN=1

关机 (S1--->S3):

1. POFF_EN=1
2. BAT 低电关机
3. 过温保护
4. LDO 过流保护
5. PowerPath(VBUS/DCIN/BAT)过流保护
6. PWROK 信号变 0 且持续 8ms
7. Watchdog Timer
8. ONOFF 超长按按下
9. ONOFF Reset 按下

上/下电时序 (Power-on/off Schedule)

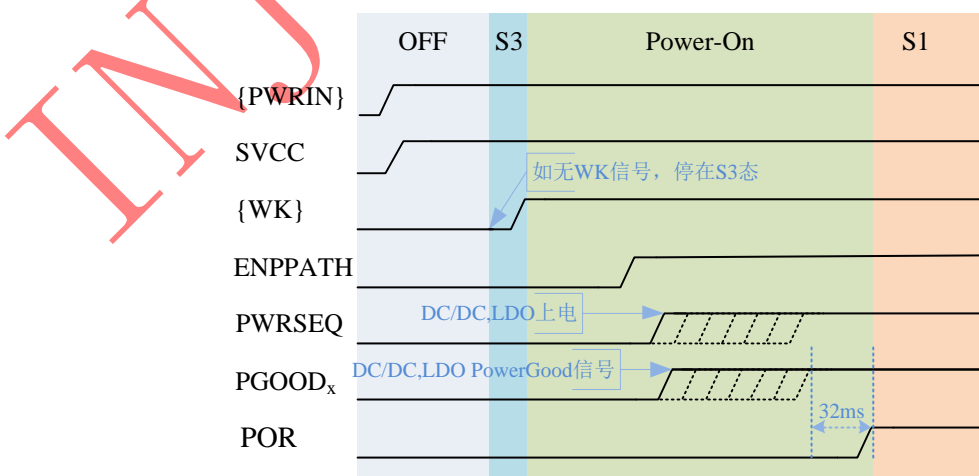
除 SVCC 外，所有 DCDC 和 LDO 都可以根据应用需要，设置上电的顺序和间隔。

上电时序中一共由 15 个阶段，每个阶段之间可选择的时间间隔有 1/2/4/8 ms。每个 DCDC 和 LDO 都可以选择放置在任何一个阶段当中。当所有阶段完成之后，如果需要上电的电源都正常上电，则过 16/32ms 后向主控发出 POR 信号。

掉电时可以选择所有电源一起掉电，或者是按照与上电时序相反的时序和相同的时间间隔掉电。当选择与上电时序相反的时序掉电时，默认不上电的电源会同时最先掉电。

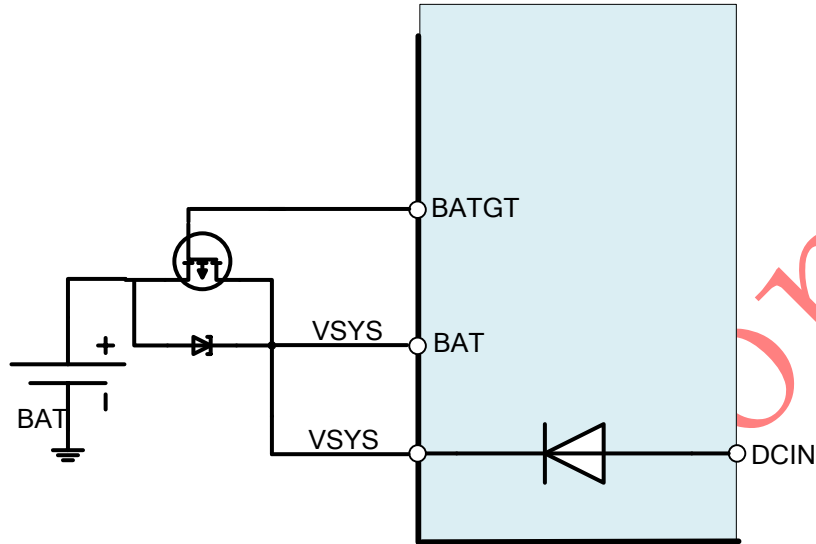
进 S2 时，根据软件需要，通过设置 0x16、0x17 寄存器配置好 S2 需要保存的电源，最后再将 POFF_EN 写 1，硬件自动实现掉电进 S2 的过程。

进 S3 时，根据软件需要，通过设置 0x16、0x17 寄存器配置好 S3 不保存的任何电源，最后再将 POFF_EN 写 1，硬件自动实现掉电进 S3 的过程。



功率路径管理 (POWERPATH)

Power Path 结构如图所示，VSYS 是 IP6205 所有 DCDC、LDO 的供电源头。DCIN 通常和电源适配器输出的直流 5V 相连；BAT 接锂电池。



BAT to VSYS

BAT 到 VSYS 没有内部功率路径，需要外扩功率 MOS，基极连接到 BATGATE 引脚，通过内部 PowerPath 进行控制。

DCIN to VSYS

DCIN 到 VSYS 的 PowerPath 可关断。两种情况下，PowerPath 关断:1)软件写 DCIN_VSYS_EN=0; 2) DCIN 达到过压保护阈值，硬件自动关断，不管 DCIN_VSYS_EN 设为何值。

只有一个 USB 口的模具方案，推荐用 DCIN 在 PCB 板上和 USB 口的 VBUS 相连。同时做充电和 USB 使用。IP6205 自动检测 DCIN 和 VBUS 是否相连。

当 DCIN 连 USB 口时，若给外部 USB device 供电，为防止 VSYS-->5V Boost-->DCIN-->VSYS 的环路存在，在打开 boost 期间，软件需设置 DCIN_VSYS_EN=0；当关掉 boost 后，软件需将 DCIN_VSYS_EN 写回 1，否则当再次接入 DCIN5V 时，无法给系统供电。

DCIN|VBUS to VSYS 有限流(Under Current Limit)和限压(Under Voltage Limit)两种控制功能。限流功能保证系统从 VBUS|DCIN 端汲取的电流不超过设定值，例如 USB 2.0/3.0 可分别规定 500mA/900mA。限压功能保证 VBUS|DCIN 在负载能力不足的情况下电压钳位在设定阈值，一旦低于设定阈值，则逐渐减小 VBUS|DCIN 供电电流，直到 VBUS|DCIN 电压维持在设定阈值。限流和限压控制环路可同时作用。

电源输出 (Power Resources)

IP6205 提供多路同步降压转换器 (DCDCs) 和线性稳压器 (LDOs) 输出。

电源输出	电压(V)	步进(mV)	负载能力(mA)	Noise(uV)
DCDC1	0.6...2.6	12.5	4000	

DCDC4	0.6...3.4	12.5	3000	
DCDC5	0.6...2.6	12.5	3000	
LDO2	0.7...3.3	25	400	
LDO3	0.7...3.3	25	400	
LDO4	0.7...3.3	25	200	
LDO6	0.7...3.3	25	400	30
LDO7	0.7...3.3	25	400	30
LDO8	0.7...3.3	25	200	30
LDO9	0.7...3.3	25	100	30
SVCC	2.6...3.3	100	250	

所有 DCDC 和 LDO 在上电过程中的上电顺序，上电时的默认电压值都是可以按需求进行配置。

在工作状态，主控可以通过改写寄存器开/关任何一路电源（除 SVCC），或者在有效范围内改变任何一路电压值。

DCDC

DCDC 工作频率最高可以到 3MHz，采用相位相互错开的方式设计，同时具有展频功能，极大的减小了 EMI 干扰问题。

DCDC 都具备软启动功能，在启动阶段自动限流。在启动之后可以设置电压调节时的电压变化速率，以减小在电压调节过程中由于电压突变引起的浪涌电流。

在 DCDC 关闭之后，输出会有 100Ohm 的下拉，以保证可以快速的放电。

LDO

SVCC 在 S3 时自动切换到低功耗模式，SVCC 的负载能力从 250mA 减小到 100mA。

LDO2~4 共用 LDOIN1 为电源输入，可以给通用模拟电路供电。

LDO6~9 共用 LDOIN2 为电源输入，为低噪声的线性稳压器，可以给需要较高性能的模拟电路供电。

LDO2~9 可以配置为开关模式。

模数转换 (ADC)

IP6205 内置 10 路的数模转换路径 (ADC)，高达 12bit 精度，可同时检测多个地方的电压、电流以及温度。

- ◆ 电压： V_{BAT} 、 V_{SYS} 、 V_{DCIN} ，输入电压范围 5.25V ~ 0.25V
- ◆ 电流： I_{DCIN} ，输入电压范围 0~5000mA
- ◆ IC 内部温度： I_{TEMP}
- ◆ 通用 ADC： V_{GP1} (NTC)， V_{GP2} (ADC 按键)，输入电压范围 4V ~ -1V

通过 12bit 高精度 ADC 对电池不间断的监测得到的电池电压 (V_{BAT}) 和电流 (I_{BAT}) 数据。

智能保护（Intelligent Protection）

供电不足保护：

当只有电池供电，但 LB_SHUNT_EN=1，同时电池电压又低于设定的保护电压时，系统自动保护进入 S3。

当电池低电，有足够的 DCIN 供电时，不会触发保护进 S3；但如果 DCIN 的电压不够，或者负载能力不足，触发了限压保护，或者系统耗电大于设定的限流值，触发了限流保护，综上因素而导致 VSYS 电压不足以维持系统正常运行，系统也会自动保护进入 S3。

LDO 过流保护：

LDO 过流持续 2ms，则产生 LDO 过流中断信号；过流持续 8ms，则会触发 LDO 过流保护。

当寄存器 LDOOCS_EN=1，且发生过流的 LDOx 的 LDOx_MASK=0，则进 S3。

当寄存器 LDOOCS_EN=1，且发生过流的 LDOx 的 LDOx_MASK=1，则只关过流的 LDO，不转 S3。

DCIN 过压保护：

当 DCIN 电压超过设定值，触发过压保护，关闭 DCIN 的供电路径。

BAT| DCIN 过流保护

BAT 的电流通过外部 Rsense 进行检测，DCIN 的电流通过 IC 内部进行检测。当电流超过设定值 8ms，立即触发过流保护进入 S3。

PWROK 保护：

在 DCDC 或者 LDO 使能之后，如果该电源的 OK 信号持续 8ms 无效，则会触发电源异常保护关闭所有电源回到 S3 状态。其中每个 LDO 都有一个 LDO_MASK 信号，当 LDO_MASK=1 时，即使 LDOOK 信号无效，也不会触发电源异常保护。

IC 过温保护：

在充电过程中，当 IC 温度超过充电的保护温度，则会逐步减小充电电流。当充电电流已经减小到 0，或者未在充电状态，IC 的温度超过了过温关断的阈值，则会立即触发保护进入 S3。

Watch-Dog 保护：

IC 内置 Watchdog 定时器，当主控由于各种客观原因不能及时的将定时器清零时，系统会自动的复位重启；还有一种情况是当主控主动需要复位系统时，也可以配置一个极短时间的 Watchdog，主动实现系统的重启。

音频模块（Audio）

Analog Output Path

- Two 24bit DACs, supports sample rate 192k/96k/48k/32k/24k/16k/12k/8k/88.2k/44.1k/22.05k/11.025k.
- Independent DAC channel control with digital volume and mute function
- Stereo 40mW Power Amplifier with 32 level volume to driver earphone, zero cross transitions
- An de-pop circuit for suppressing noise of PA when enable and disable PA.
- Power Amplifier output to earphone supports cap mode and direct drive mode
- GPIO for detect earphone plug and unplug, both in cap mode and direct mode.

Analog Input Path

- Two 24bit ADCs, supports sample rate 96k/48k/32k/24k/16k/12k/8k/44.1k/22.5k/11.025k
- Input Path Source select from MICIN_L/R, AUXIN_L/R
- Supports full difference input and stereo single-ended input analog microphone.
- Analog programmable gain amplifier(PGA)
- Upto +30 dB boost in addition to PGA gain for analog mic
- Automatic Gain Control (AGC), Zero cross transitions and Noise Gating for ADC recording
- One programmable,Low-noise Mic bias voltage outputs
- digital high-pass filter to remove residual dc offsets and Wind Noise.
- Supports stereo digital microphone

Audio Serial Interface

- Supports one I2S/PCM interface, both work in slave mode
- I2S supports sample rate 192k/96k/48k/32k/24k/16k/12k/8k/88.2k/44.1k/22.05k/11.025k.
- I2S support format: Left Justified mode, I2S mode
- I2S Word Length: MSB to LSB , 16/24/32 bit
- PCM code format support: Linear PCM (13~16bit), u-Law (8bit), A-Law (8bit)
- Support stereo digital microphones (DMIC) interface

Performance

- DAC——SNR>95dB, SNR (A-WEIGHTING)>98dB, THD<-80dB.
- ADC——SNR>88dB, SNR(A-WEIGHTING)>91dB, THD<-82dB

Port List

SIGNAL Name	I/O Type	Short Description
I2S_LRCK	I	Audio data word clock for DAC/ADC
I2S_MCK	I	Main clock for DAC/ADC
I2S_BCK	I	Bit clock for DAC/ADC
I2S_DACDAT	I	Audio digital data to DAC
I2S_ADCDAT	O	Audio digital data from ADC
AIN2L	AI	left channel2 input
AIN2R	AI	right channel2 input
HPOUT_L	AO	Audio Channel L out, drive earphone or classD
HPOUT_R	AO	Audio Channel R out, drive earphone or classD
PAGND	A	PA GND

根据封装， 以上 pin 可能还需要做复用

I2S Features

双通道（左/右通道）I2S， 只支持 slave， 即 I2S_BCLK/LRCLK 需外部芯片提供， 不支持 master

I2S datain 和 dataout 的采样时钟均为 I2S_LRCLK， 不支持不同采样率录/放音

I2S bit order:MSB first

I2S Frame mode:

Standard I2S mode(MSB data on 2nd active edge of BCLK after transition of LRCLK)

Left Justified mode(MSB data on 1st active edge of BCLK after transition of LRCLK)

需要外部芯片提供一个 MCLK 时钟给内部 ADC/DAC 使用， 推荐 MCLK=256FS

为节省封装 PIN， 可省去 BCLK， BCLK 从 MCLK 分频产生， 默认 MCLK/4， 亦可配置成/6,/8,/12

MCLK (FS)	Bit clock cycles per channel	BCLK divider
256	32	MCLK/4
384	32	MCLK/6
256	16	MCLK/8
384	16	MCLK/12

Codec 内部， ADC/DAC 固定有效位宽 20bit:

如果 I2S word length 寄存器设置大于 20bit, 则 Codec 的 I2S 只接收前面 20bit, 忽略剩余 bit; 发送时, 把 ADC 数据补齐到设定 WL 后再发送。

如果 I2S word length 寄存器设置小于 20bit, 则 Codec 的 I2S 接收完指定 WL 后, 自动补齐再送给 DAC; 发送时, 把 ADC 数据截取到设定 WL 后再发送。

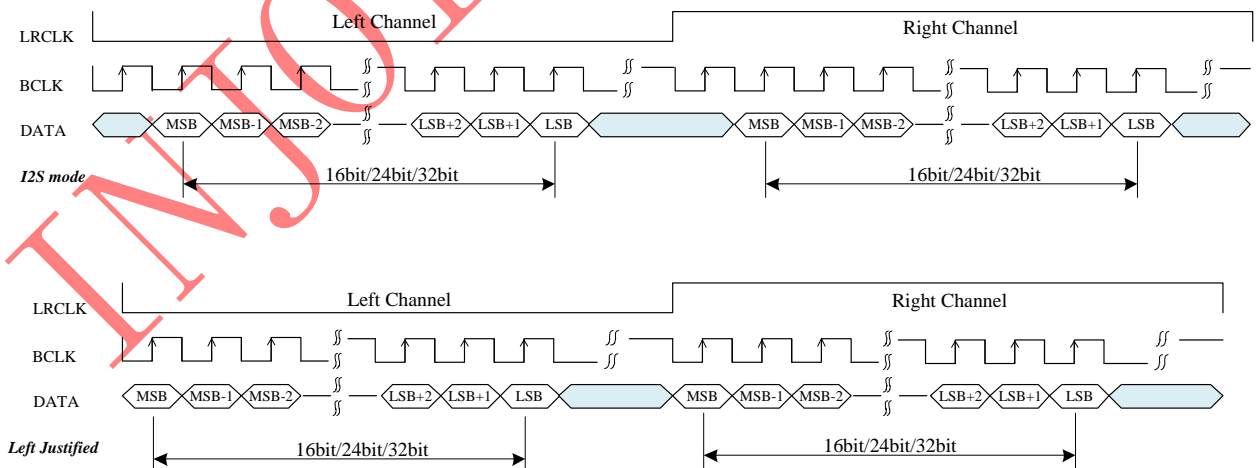


Figure 1 I2S Timing

Digital Mixer Features

Codec 的数字接口 1 组 Main_I2S，接主控 SOC;

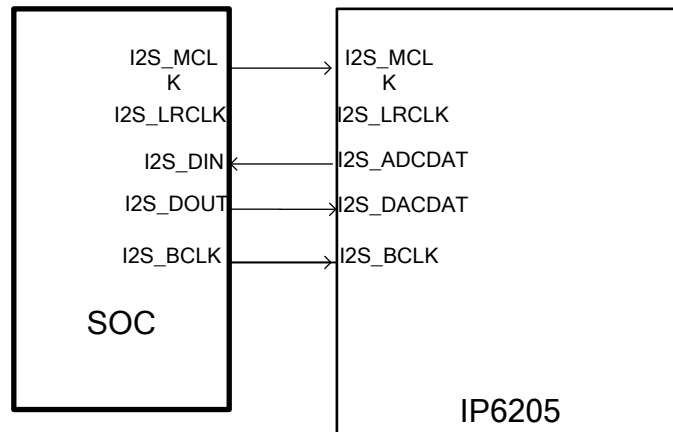


Figure 2

为灵活适应各种应用场景，在多组接口的输入输出之间，存在 Digital mixer，如下图示意

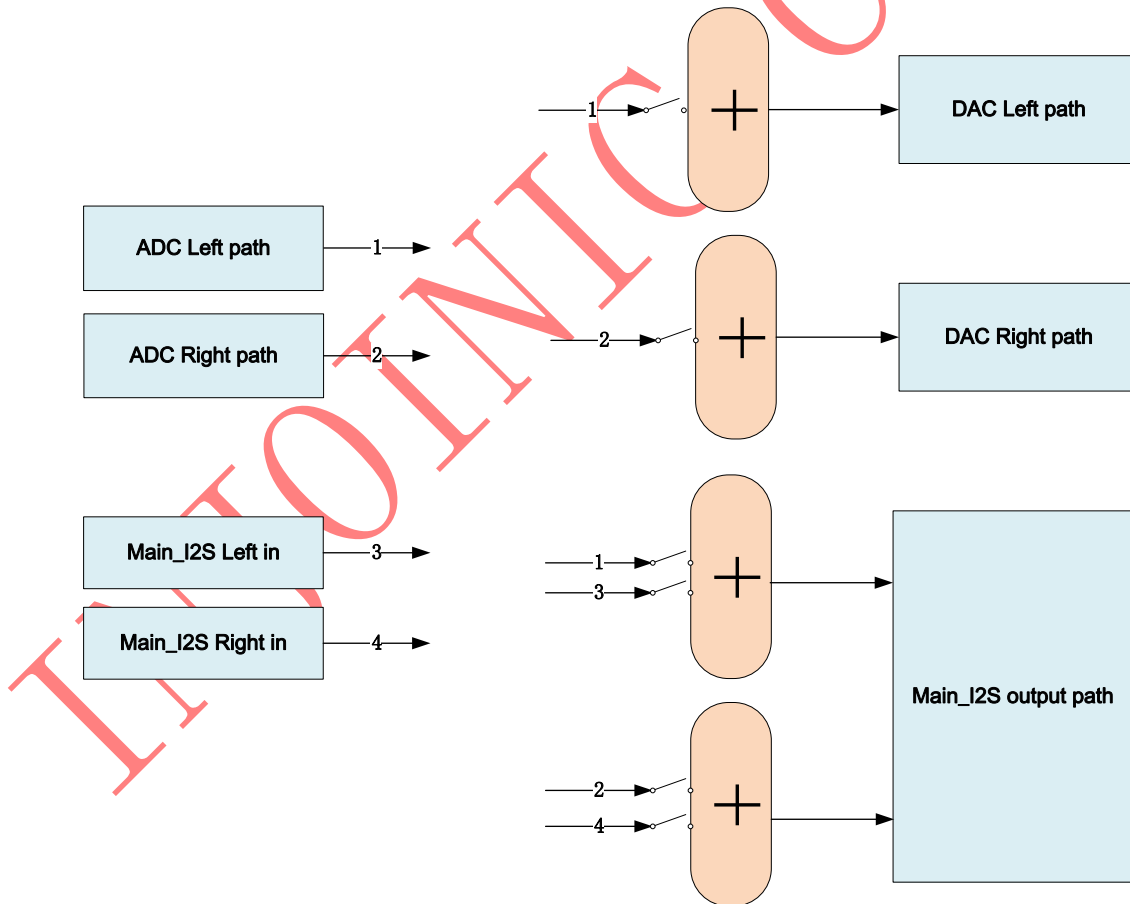


Figure 3

Digital Mixer 输入只支持线性编码，不支持 μ -Law 和 A-Law；数据格式需统一为有符号二进制补码

Digital Mixer 最大支持四通道数据叠加，为防止叠加溢出，可选择/2 或/4 衰减

Digital Mixer 不同输入通道的 word length 可能不一样，

对于 DAC mixer，固定为 20bit 位宽

对于 I2S mixer，按 I2S Word Length 寄存器配置

主控和 codec 之间只有 I2S 接口通信

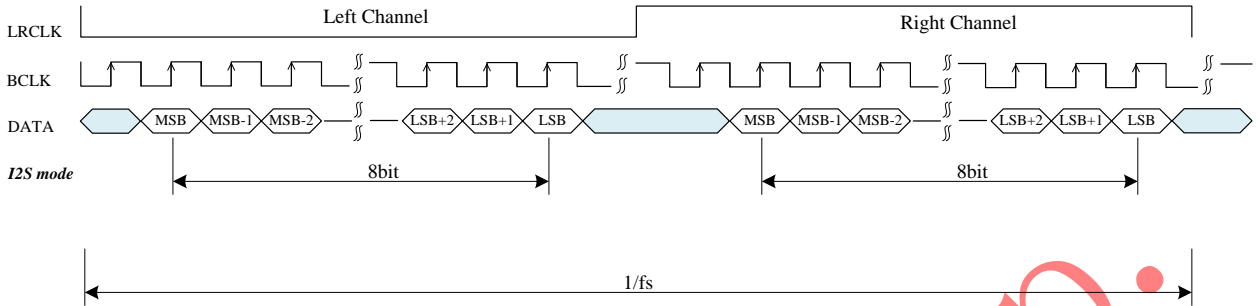
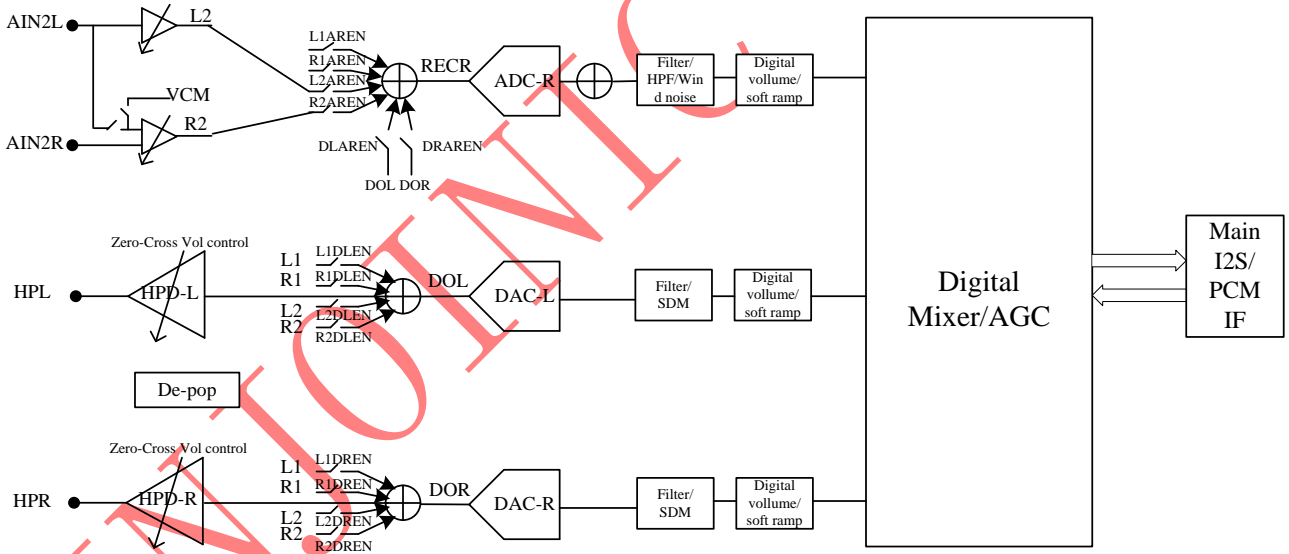


Figure 4

Audio 的输入/输出模块示意图



多路复用 (Multiplexing)

芯片内部如下的一些引脚复用关系:

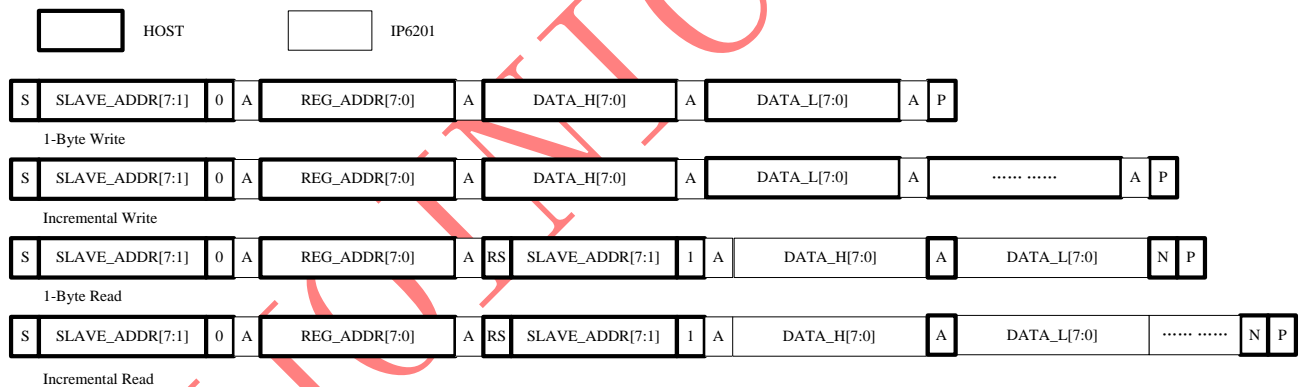
PIN Name	DFun	AFun1	AFun2	GPIO
GPIO1	WKIRQ			1
GPIO2	CKOUT		GP2ADC	2
GPIO3	CKOUT		GP1ADC	3
GPIO4	CKOUT			4

*在需要使用相应的功能时, 必须将 MFP 寄存器配置为相应功能, 否则可能会出现不可预期的结果。

POR 引脚支持开漏输出和 CMOS 输出两种设置。

I2C 通信接口 (I2C Interface)

主控可以通过一组标准的 I2C 通信接口访问 IP6205 的寄存器, 支持标准 100K、400K、3.4M 工作频率。IP6205 同时支持连读和连写操作, I2C 默认地址为 0x60 (写) 和 0x61 (读), 其中地址的 bit3:1 可以根据客户需要通过寄存器进行修改。



(S = Start, RS = Repeated Start, A = Acknowledge, N = No Acknowledge, P = Stop)

Register

PMU

PSTATE_CTL (0x00)

Offset = 0x0 default= 0xc11c

Bit	Name	Description	R/W	Reset ¹
15	AUDIO_RST	Audio Module Reset	R/W	1
14	UPQMAX_EN	在 standby 是否更新 QMAX 0:不使能 1:使能	R/W	1
13:12	WKIRQ_POL	WKIRQ 极性选择 00: 低有效 01: 高有效 10: 上升沿 11: 下降沿	R/W	00
11	ONOFFUS_WKEN	超短按 ONOFF 唤醒使能 0:不使能 1:使能	R/W	0
10				
9	ONOFF_RST_EN	ONOFF PRESET 复位使能 0:不使能 1:使能	R/W	0
8	ONOFF_ULRST_EN	ONOFF 超长按复位使能 0:不使能 1:使能	R/W	1
7	WKIRQ_WKEN	外部中断唤醒使能 0:不使能 1:使能	R/W	0
6	RTC_WKEN	RTC 唤醒使能 0:不使能 1:使能	R/W	0
5	ONOFFL_WKEN	长按 ONOFF 唤醒使能 0:不使能 1:使能	R/W	0
4	ONOFFS_WKEN	短按 ONOFF 唤醒使能 0:不使能 1:使能	R/W	1
3	DCIN_WKEN	DCIN 唤醒使能 0:不使能 1:使能	R/W	1

2				
1	INST_PDWN	同时掉电，还是按 PWRON_SEQ 顺序反方向掉电 0: 顺序掉电 1: 同时一起掉电	R/W	0
0	POFF_EN	进 S2 S3 设置 0: 每次进 S1 后，自动清 0 1: 自动进 S2 S3	R/W	0

PSTATE_SET (0x01)

Offset = 0x1 default= 0xb

Bit	Name	Description	R/W	Reset ¹
15:9	-	-	-	-
8	S2S3_DELAY	写 POFF_EN 寄存器进 S2/S3 是否延时 0: 不延时 1: 延时 8ms 后，才开始掉电	R/W	0
7	POR_S2ON	S2 下 POR 输出是否维持高电平 0: 进 S2 后 POR 拉低 1: 进 S2 后 POR 拉高	R/W	0
6:5	POFF_TIME	强制停留在 POFF，不响应任何唤醒动作的时间 00: 0s 01: 1s 10: 2s 11: 4s	R/W	00
4	ONOFF_LRST_TIME	超长按复位时间设置 0: 6s 1: 10s	R/W	0
3:2	ONOFF_TIME_SET	ONOFF 按键时间阈值设置 大于设置值认为是长按，否则为短按 00: 1s 01: 2s 10: 3s 11: 4s	R/W	10
1	DCIN_WKTH	DCIN 唤醒门限 0: 4.0V 1: 4.3V	R/W	1

0				
---	--	--	--	--

PPATH_CTL (0x02)

Offset = 0x2 default= 0x7fbf

Bit	Name	Description	R/W	Reset ²
15	DCIN_VCLP_EN	DCIN 限压使能 0: disable 1: enable	R/W	0
14:13	DCIN_VCLP_SET	DCIN 限压阈值 00: 4.1V 10: 4.5V 01: 4.3V 11: 4.7V	R/W	11
12:10	DCIN_ILIM_SET	DCIN 到 VSYS 限流阈值 000: 100mA 001: 500mA 010: 900mA 011: 1200mA 100: 2100mA 101: 2500mA 110: 3000mA 111: 不限流	R/W	111
9	DCIN_SINK	DCIN 5K 下拉电阻使能 1: enable 0: disable	R/W	1
8	DCIN_VSYS_EN	DCIN to VSYS Path control 0: disable 1: enable 进 S2/S3, 自动写 1	R/W	1
7:0				

PPATH_STATUS (0x03)

Offset = 0x3 default= 0xX

Bit	Name	Description	R/W	Reset ²
15:11	-	-	-	-
10	DCIN_VBUS	DCIN 是否接 VBUS 0: 不连 VBUS 1: DCIN 连 USB VBUS 口	R	X

9	DCIN_VCLP_WORK	标识 DCIN 是否处于限压态 0: 不限压 1: 限压态	R	0
8	DCIN_ILIM_WORK	标识 DCIN 是否处于限流态 0: 不限流 1: 限流态	R	0
7				
6				
5	-	-	-	-
4	DCIN_SUPPLY	DCIN 是否在给系统供电 0: DCIN 没有供电 1: DCIN 正在供电 DCIN 到 VSYS 的电流 >100mA	R	X
3				
2	BAT_PRESENT	BAT 是否存在 0: 无 BAT 1: 有 BAT	R	X
1	DCIN_PRESENT	DCIN 是否存在 0: 无 DCIN 1: 有 DCIN 即 DCINOK 信号，数字处理	R	X
0				

PROTECT_CTL1 (0x05)

Offset = 0x5 default= 0xd35a

Bit	Name	Description	R/W	Reset ¹
15	PWROK_PROEN	PWROK 保护在 S1 下是否有效 0: disable PWROK 不影响状态 1: enable PWROK 为低，则进 S3	R/W	1
14:13	BATOC_SHUNT_SET	BAT 过流关机门限设置 00:3500mA (< 0x27F) 01:4000mA (< 0x1B9) 10:4500mA (< 0x0F0)	R/W	10

		11:5000mA (< 0x028)		
12:11	LB_SHUNT_SET	低电关机门限设置 00:2.9V 01:3.0V 10:3.1V 11:3.3V	R/W	10
10	DCIN_OVS_SET	DCIN 过压关断阈值 0: 6.0V 1: 6.5V	R/W	0
9:8	DCIN_OCS_SET	DCIN 过流关断阈值 00: 1.5A 01: 2.5A 10: 3.5A 11: 4.5A	R/W	11
7				
6				
5	BATOC_SHUNT_EN	BAT 过流关机使能 0: disable 1: enable	R/W	0
4	LB_SHUNT_EN	低电关机使能 0: disable 1: enable	R/W	1
3	DCIN_OVS_EN	DCIN 过压关机使能 0: disable 1: enable	R/W	1
2	DCIN_OCS_EN	DCIN 过流关机使能 0: disable 1: enable	R/W	0
1				
0				

PROTECT_CTL2 (0x06)

Offset = 0x6 default= 0x10

Bit	Name	Description	R/W	Reset ¹
15:5	-	-	-	-
4:3	OT_SHUNT_SET	过温关机门限设置 00:105 度 01: 120 度 10:135 度 11: 150 度	R/W	10
2	TS_EN	过温检测使能	R/W	0

		0: disable 1: enable		
1	OT_SHUNT_EN	过温关机使能 0: disable 1: enable	R/W	0
0	LDOOCS_EN	LDO 发生过流后的处理 0:不处理 1:保护	R/W	0

过温中断信号，迟滞温度 15 度。例如 105 度发生过温中断后，需要低于 90 度，中断信号才撤销。

PM_INT_TH (0x07)

Offset = 0x7 default= 0xaff

Bit	Name	Description	R/W	Reset ²
15:12	-	-	-	-
11:10	BAT_OCI_TH	BAT 过流中断阈值设定 00:3000mA (< 0x34B) 01:3500mA (< 0x27F) 10:4000mA (< 0x1B9) 11:4500mA (< 0x0F0)	R/W	10
9:8	BAT_UVI_TH	低电中断阈值设定 00:3.2V (<0x971) 01:3.3V (<0x9c3) 10:3.4V (<0xa14) 11:3.5V (<0xa66)	R/W	10
7:6	DCIN_UVI_TH	DCIN 欠压中断阈值 00: 3.8V (<0xb5c) 01: 4.0V (<0xc00) 10: 4.3V (<0xcf6) 11: 4.5V (<0xd9a)	R/W	11
5:4	DCIN_OCI_TH	DCIN 过流中断阈值 00: 500mA (>0x07b) 01: 1000mA(>0x0F6) 10: 2100mA(>0x204) 11: 3000mA (>0x2e1)	R/W	11
3:2				

1:0				
-----	--	--	--	--

PWRINT_FLAG (0x08)

Offset = 0x8 default= 0x0

Bit	Name	Description	R/W	Reset ³
15:5	-	-	-	-
4	BAT_OC_FLAG	BAT 过流中断标识位 0: 无 1: 发生	R	0
3				
2	DCIN_UV_FLAG	DCIN 欠压中断标识位 0: 无 1: 发生	R	0
1	DCIN_OC_FLAG	DCIN 过流中断标识位 0: 无 1: 发生	R	0
0				

LDO_OCFLAG (0x09)

Offset = 0x9 default= 0x0

Bit	Name	Description	R/W	Reset ³
15:10	-	-	-	-
9	LDO9_OCFLAG	0: 负载电流正常 1: 过流	R	0
8	LDO8_OCFLAG	0: 负载电流正常 1: 过流	R	0
7	LDO7_OCFLAG	0: 负载电流正常 1: 过流	R	0

6	LDO6_OCFLAG	0: 负载电流正常 1: 过流	R	0
5				
4	LDO4_OCFLAG	0: 负载电流正常 1: 过流	R	0
3	LDO3_OCFLAG	0: 负载电流正常 1: 过流	R	0
2	LDO2_OCFLAG	0: 负载电流正常 1: 过流	R	0
1:0				

DCDC_OCFLAG (0x0A)

Offset = 0xA default= 0x0

Bit	Name	Description	R/W	Reset ³
15:6	-	-	-	-
5	DC5_OCFLAG	0: 负载电流正常 1: 过流	R	0
4	DC4_OCFLAG	0: 负载电流正常 1: 过流	R	0
3:2				
1	DC1_OCFLAG	0: 负载电流正常 1: 过流	R	0
0	-	-	-	-

DCDC_GOOD (0x0B)

Offset = 0xB default= 0x0

Bit	Name	Description	R/W	Reset ²
15:6	-	-	-	-
5	DC5_PG	0: DC/DC disable 或者输出电压异常 1: DC/DC 输出电压处于正常工作范围	R	0
4	DC4_PG	0: DC/DC disable 或者输出电压异常 1: DC/DC 输出电压处于正常工作范围	R	0
3:2				
1	DC1_PG	0: DC/DC disable 或者输出电压异常 1: DC/DC 输出电压处于正常工作范围	R	0
0	-	-	-	-

LDO_GOOD (0x0C)

Offset = 0xC default= 0x0

Bit	Name	Description	R/W	Reset ²
15:10	-	-	-	-
9	LDO9_PG	0: LDO disable 或者输出电压异常 1: LDO 输出电压处于正常工作范围	R	0
8	LDO8_PG	0: LDO disable 或者输出电压异常 1: LDO 输出电压处于正常工作范围	R	0

7	LDO7_PG	0: LDO disable 或者输出电压异常 1: LDO 输出电压处于正常工作范围	R	0
6	LDO6_PG	0: LDO disable 或者输出电压异常 1: LDO 输出电压处于正常工作范围	R	0
5				
4	LDO4_PG	0: LDO disable 或者输出电压异常 1: LDO 输出电压处于正常工作范围	R	0
3	LDO3_PG	0: LDO disable 或者输出电压异常 1: LDO 输出电压处于正常工作范围	R	0
2	LDO2_PG	0: LDO disable 或者输出电压异常 1: LDO 输出电压处于正常工作范围	R	0
1:0				

PWRON_CTL (0x0D)

Offset = 0xd default= 0xb

Bit	Name	Description	R/W	Reset ¹
15:4	-	-	-	-
3	PWRON_SEL	OTP Load 出来的值是否写到 <i>PWRON_SEQ[1-5] / PHASE_DLY / POR_DLY</i> <i>LDO_{2~12}_VSET / DCDC_{1~6}_VSET</i> 寄存器 0: 用寄存器原有值 1: 用 OTP 的值 (上电 load 用 OTP 值, S1 后寄存器仍然可修改)	R/W	1
2:0	-	-	-	-

PWRON_REC (0x0F)

Offset = 0xF default= 0x

Bit	Name	Description	R/W	Reset ³
15:10	-	-	-	-
9	WDOG_PON	本次上电由 watchdog 引起	R	x
8	ONOFFLRST_PON	本次上电由 ON/OFF 长按复位引起	R	x
7	RST_PON	本次上电由 ON/OFF 按键复位引起	R	x
6	WKIRQ_PON	本次上电由外部中断引起	R	x
5	ONOFFUS_PON	本次上电由 ON/OFF 按下	R	x
4	ONOFFS_PON	本次上电由 ON/OFF 短按	R	x
3	ONOFFL_PON	本次上电由 ON/OFF 长按	R	x
2				
1	DCIN_PON	本次上电由 DCIN 接入引起	R	x
0				

PWROFF_REC (0x10)

Offset = 0x10 default= 0x

Bit	Name	Description	R/W	Reset ¹
15:9	-	-	-	-
8	PPOV_POFF	最近一次进 POFF 的原因: PPATH 过压保护 1: 发生过 0: 无 写 1 清 0	R	X
7	PPOC_POFF	最近一次进 POFF 的原因: PPATH 过流保护 1: 发生过 0: 无 写 1 清 0	R	X
6	LDOOC_POFF	最近一次进 POFF 的原因: LDO 过流保护 1: 发生过 0: 无 写 1 清 0	R	X
5	PWROK_POFF	最近一次进 POFF 的原因: PWROK 保护 1: 发生过 0: 无 写 1 清 0	R	X
4	OT_POFF	最近一次进 POFF 的原因: 过温保护 1: 发生过 0: 无 写 1 清 0	R	X
3	LB_POFF	最近一次进 POFF 的原因: PPATH 低电 1: 发生过 0: 无 写 1 清 0	R	X

2	WDOG_POFF	最近一次进 POFF 的原因: Watchdog 复位 1: 发生过 0: 无 写 1 清 0	R	X
1	ONOFFRST_POFF	最近一次进 POFF 的原因: ONOFF Reset 1: 发生过 0: 无 写 1 清 0	R	X
0	EN_POFF	最近一次进 POFF 的原因: 软件写 POFF_EN 1: 发生过 0: 无 写 1 清 0	R	X

Note: 如果 S2 下发生异常进 S3, 需要更新进 S3 的原因

POFF_LDO (0x16)

Offset = 0x16 default= 0x0

Bit	Name	Description	R/W	Reset ²
15:10	-	-	-	-
9	LDO9_KEEPON	1: S2 下保持 S1 原状 0: S2 后强制关断	R/W	0
8	LDO8_KEEPON	1: S2 下保持 S1 原状 0: S2 后强制关断	R/W	0
7	LDO7_KEEPON	1: S2 下保持 S1 原状 0: S2 后强制关断	R/W	0
6	LDO6_KEEPON	1: S2 下保持 S1 原状 0: S2 后强制关断	R/W	0

5				
4	LDO4_KEEPON	1: S2 下保持 S1 原状 0: S2 后强制关断	R/W	0
3	LDO3_KEEPON	1: S2 下保持 S1 原状 0: S2 后强制关断	R/W	0
2	LDO2_KEEPON	1: S2 下保持 S1 原状 0: S2 后强制关断	R/W	0
1:0				

POFF_DCDC (0x17)

Offset = 0x17 default= 0x0

Bit	Name	Description	R/W	Reset ²
15:6	-	-	-	-
5	DC5_KEEPON	1: S2 下保持 S1 原状 0: S2 后强制关断	R/W	0
4	DC4_KEEPON	1: S2 下保持 S1 原状 0: S2 后强制关断	R/W	0
3:2				
1	DC1_KEEPON	1: S2 下保持 S1 原状 0: S2 下强制关断	R/W	0
0	-	-	-	-

WDOG_CTL (0x18)

Offset = 0x18 default= 0x2

Bit	Name	Description	R/W	Reset ³
15:4	-	-	-	-
3	WDOG_EN	Watchdog Timer 使能 0: disable 1: enable	R/W	0
2	WDOG_CLR	清除 Watchdog Timer 每次写 1 之后, Watchdog 重新计时。计时满后自动变 0, 同时发出 Watchdog 复位	W	0
1:0	WDOG_TIM	Watchdog 计时 00: 0.5 s 01: 2 s 10: 8 s 11: 16 s	R/W	10

LDO_MASK (0x19)

Offset = 0x19 default= 0x0

Bit	Name	Description	R/W	Reset ³
15:10	-	-	-	-
9	LDO9_MASK	0: LDOOK 影响 PWROK, LDO 过流转 S3 1: LDOOK 不影响 PWROK, LDO 过流只关本路 LDO, 不转 S3	R/W	0
8	LDO8_MASK	0: LDOOK 影响 PWROK, LDO 过流转 S3 1: LDOOK 不影响 PWROK, LDO 过流只关本路 LDO, 不转 S3	R/W	0
7	LDO7_MASK	0: LDOOK 影响 PWROK, LDO 过流转 S3 1: LDOOK 不影响 PWROK, LDO 过流只关本路 LDO, 不转 S3	R/W	0
6	LDO6_MASK	0: LDOOK 影响 PWROK, LDO 过流转 S3 1: LDOOK 不影响 PWROK, LDO 过流只关本路 LDO, 不转 S3	R/W	0
5				

4	LDO4_MASK	0: LDOOK 影响 PWROK, LDO 过流转 S3 1: LDOOK 不影响 PWROK, LDO 过流只关本路 LDO, 不转 S3	R/W	0
3	LDO3_MASK	0: LDOOK 影响 PWROK, LDO 过流转 S3 1: LDOOK 不影响 PWROK, LDO 过流只关本路 LDO, 不转 S3	R/W	0
2	LDO2_MASK	0: LDOOK 影响 PWROK, LDO 过流转 S3 1: LDOOK 不影响 PWROK, LDO 过流只关本路 LDO, 不转 S3	R/W	0
1:0				

进 S2、S3 后, 全写 0

REV_PMU (0x1B)

Offset = 0x1b default= 0x0300 bit7:0—Otpaddr=0x30;

Bit	Name	Description	R/W	Reset ¹
15:8	Reserved	Reserved for PMU	R/W	0
11	SI_BG_BUF	Bandgap buffer 电流选择: 0: X1 1: X2	R/W	0
10:9	SI_VREF_BUF	VREF buffer 电流选择: 00: X 0.5 01: X 1 10: X 1.5 11: X 2	R/W	01
8	EN_VREF_VRC	VREF 电源滤波使能: 0: disable 1: enable	R/W	1
7:0	-	-	-	-

LDO

LDO_EN (0x30)

Offset = 0x30 default= 0x0

Bit	Name	Description	R/W	Reset ²
15:10	-	-	-	-
12		LDO ₂₋₉ 使能 1: ENABLE 0: DISABLE		
11				
10				
9	LDO9_EN		R/W	0
8	LDO8_EN		R/W	0
7	LDO7_EN		R/W	0
6	LDO6_EN		R/W	0
5				
4	LDO4_EN		R/W	0
3	LDO3_EN		R/W	0
2	LDO2_EN	R/W	0	
1:0	-	-	-	-

LDOSW_EN (0x31)

Offset = 0x31 default= 0x0

Bit	Name	Description	R/W	Reset ²
15:13	-	-	-	-
12		LDO ₂₋₉ 开关直通模式使能 1: ENABLE 0: DISABLE		
11				
10				
9	LDO9_SWEN		R/W	0
8	LDO8_SWEN		R/W	0
7	LDO7_SWEN		R/W	0
6	LDO6_SWEN		R/W	0

5				
4	LDO4_SWEN		R/W	0
3	LDO3_SWEN		R/W	0
2	LDO2_SWEN		R/W	0
1:0	-	-	-	-

LDODIS (0x32)

Offset = 0x32 default= 0x1FFC

Bit	Name	Description	R/W	Reset ¹
15:13	-	-	-	-
12				
11				
10				
9	LDO9_DIS		R/W	1
8	LDO8_DIS	LDO ₂₋₉ 自动下拉使能	R/W	1
7	LDO7_DIS	1: ENABLE	R/W	1
6	LDO6_DIS	0: DISABLE	R/W	1
5				
4	LDO4_DIS		R/W	1
3	LDO3_DIS		R/W	1
2	LDO2_DIS		R/W	1
1:0	-	-	-	-

Note: 只有 LDO_EN&SW_EN=0 时，自动下拉使能才有效

LDO2_VSET (0x36)

Offset = 0x36 default= 0x60

Bit	Name	Description	R/W	Reset ²
15:7	-	-	-	-
6:0	LDO2_VSET	LDO2 电压调节	R/W	1100000
		Code 电压 Step		

		<table border="1"> <tr> <td>0000000-1101100</td> <td>0.7-3.4</td> <td>25mV</td> </tr> </table>	0000000-1101100	0.7-3.4	25mV		
0000000-1101100	0.7-3.4	25mV					
		0010000: 1.1V					
		0101100: 1.8V					
		1010100: 2.8V					
		1100000: 3.1V*					

LDO3_VSET (0x37)

Offset = 0x37 default= 0x10

Bit	Name	Description	R/W	Reset ²						
15:7	-	-	-	-						
6:0	LDO3_VSET	LDO 电压调节 <table border="1"> <tr> <th>Code</th> <th>电压</th> <th>Step</th> </tr> <tr> <td>0000000-1101100</td> <td>0.7-3.4</td> <td>25mv</td> </tr> </table> 0010000: 1.1V* 0101100: 1.8V 1010100: 2.8V 1100000: 3.1V	Code	电压	Step	0000000-1101100	0.7-3.4	25mv	R/W	0010000
Code	电压	Step								
0000000-1101100	0.7-3.4	25mv								

LDO4_VSET (0x38)

Offset = 0x38 default= 0x2C

Bit	Name	Description	R/W	Reset ²						
15:7	-	-	-	-						
6:0	LDO4_VSET	LDO 电压调节 <table border="1"> <tr> <th>Code</th> <th>电压</th> <th>Step</th> </tr> <tr> <td>0000000-1101100</td> <td>0.7-3.4</td> <td>25mv</td> </tr> </table> 0010000: 1.1v	Code	电压	Step	0000000-1101100	0.7-3.4	25mv	R/W	0101100
Code	电压	Step								
0000000-1101100	0.7-3.4	25mv								

		0101100: 1.8v*		
		1010100 : 2.8v		
		1100000 : 3.1v		

LDO6_VSET (0x3A)

Offset = 0x3a default= 0x60

Bit	Name	Description	R/W	Reset ²						
15:7	-	-	-	-						
6:0	LDO6_VSET	LDO 电压调节 <table border="1"> <thead> <tr> <th>Code</th> <th>电压</th> <th>Step</th> </tr> </thead> <tbody> <tr> <td>0000000- 1101100</td> <td>0.7-3.4</td> <td>25mv</td> </tr> </tbody> </table> 0010000: 1.1v 0101100: 1.8v 1010100 : 2.8v 1100000 : 3.1V*	Code	电压	Step	0000000- 1101100	0.7-3.4	25mv	R/W	1100000
Code	电压	Step								
0000000- 1101100	0.7-3.4	25mv								

LDO7_VSET (0x3B)

Offset = 0x3b default= 0x48

Bit	Name	Description	R/W	Reset ²						
15:7	-	-	-	-						
6:0	LDO7_VSET	LDO 电压调节 <table border="1"> <thead> <tr> <th>Code</th> <th>电压</th> <th>Step</th> </tr> </thead> <tbody> <tr> <td>0000000- 1101100</td> <td>0.7-3.4</td> <td>25mv</td> </tr> </tbody> </table> 0010000: 1.1v 0100000: 1.5V 0101100: 1.8v 1001000: 2.5v* 1010100 : 2.8v	Code	电压	Step	0000000- 1101100	0.7-3.4	25mv	R/W	1001000
Code	电压	Step								
0000000- 1101100	0.7-3.4	25mv								

		1100000 : 3.1v		
--	--	----------------	--	--

LDO8_VSET (0x3C)

Offset = 0x3c default= 0x10

Bit	Name	Description	R/W	Reset ²						
15:7	-	-	-	-						
6:0	LDO8_VSET	LDO 电压调节 <table border="1"> <thead> <tr> <th>Code</th> <th>电压</th> <th>Step</th> </tr> </thead> <tbody> <tr> <td>0000000-1101100</td> <td>0.7-3.4</td> <td>25mv</td> </tr> </tbody> </table> 0010000: 1.1v* 0010100: 1.2v 0101100: 1.8v 1010100 : 2.8v 1100000 : 3.1v	Code	电压	Step	0000000-1101100	0.7-3.4	25mv	R/W	0010000
Code	电压	Step								
0000000-1101100	0.7-3.4	25mv								

LDO9_VSET (0x3D)

Offset = 0x3d default= 0x60

Bit	Name	Description	R/W	Reset ²						
15:7	-	-	-	-						
6:0	LDO9_VSET	LDO 电压调节 <table border="1"> <thead> <tr> <th>Code</th> <th>电压</th> <th>Step</th> </tr> </thead> <tbody> <tr> <td>0000000-1101100</td> <td>0.7-3.4</td> <td>25mv</td> </tr> </tbody> </table> 0010000: 1.1v 0101100: 1.8v 1010100 : 2.8v 1100000 : 3.1v*	Code	电压	Step	0000000-1101100	0.7-3.4	25mv	R/W	1100000
Code	电压	Step								
0000000-1101100	0.7-3.4	25mv								

SVCC_CTL (0x42)

Offset = 0x42 default= 0xd

Bit	Name	Description	R/W	Reset ¹
15:5	-	-	-	-
4	SVCC_SUSPEND	0: SVCC/SLDO1 一直从 VMAX 取电 1: SVCC/SLDO1 动态切换 VMAX 取电	R/W	0
3	SWIEN	SVCC 偏置电流切换使能: 1: ENABLE 0: DISABLE	R/W	1
2:0	SVCC_VSET	SVCC/AVCC 电压设置: 111: 3.3V 110: 3.2V 101: 3.1V* 100: 3.0V 011: 2.9V 010: 2.8V 001: 2.7V 000: 2.6V	R/W	101

DCDC

DC_CTL (0x50)

Offset=0x50 default= 0x3d00

bit13:10—Otpaddr=0x1b[3:0];

Bit	Name	Description	R/W	Reset ²
15:10	-	-	-	-
9	R_SSEN	展频使能 0: disable 1: enable	R/W	0
8:7	DC_FRQ	DCDC 频率: 00:2M 01:2.3M 10:2.6M	R/W	10

		11:2.9M		
6				
5	DC5_EN	DC 使能 0: disable 1: enable	R/W	0
4	DC4_EN	DC 使能 0: disable 1: enable	R/W	0
3:2				
1	DC1_EN	DC 使能 0: disable 1: enable	R/W	0
0		Reserverd		

DC1_VSET (0x55)

Offset=0x55 default= 0x20

Bit	Name	Description	R/W	Reset ²						
7:0	DC1_VSET	DC1 电压调节 <table border="1"> <thead> <tr> <th>Code</th> <th>电压</th> <th>Step</th> </tr> </thead> <tbody> <tr> <td>0000_0000-1010_0000</td> <td>0.6-2.6V</td> <td>12.5mV</td> </tr> </tbody> </table> 0000_0000 : 0.6V 0010_0000 : 1.0V* 0011_0000 : 1.2V 0100_1000 : 1.5V 1010_0000 : 2.6V V= Vset*12.5mV+0.6V	Code	电压	Step	0000_0000-1010_0000	0.6-2.6V	12.5mV	R/W	0010_0000
Code	电压	Step								
0000_0000-1010_0000	0.6-2.6V	12.5mV								

DC4_VSET (0x64)

Offset=0x64 default= 0x20

Bit	Name	Description	R/W	Reset ²			
7:0	DC4_VSET	DC4 电压调节 <table border="1"> <thead> <tr> <th>Code</th> <th>电压</th> <th>Step</th> </tr> </thead> </table>	Code	电压	Step	R/W	0010_0000
Code	电压	Step					

		<table border="1"> <tr> <td>0000_0000-</td> <td>0.6-3.4V</td> <td>12.5mV</td> </tr> <tr> <td>1110_0000</td> <td></td> <td></td> </tr> </table>	0000_0000-	0.6-3.4V	12.5mV	1110_0000				
0000_0000-	0.6-3.4V	12.5mV								
1110_0000										
		0000_0000 : 0.6V 0010_0000 : 1.0V* 0011_0000 : 1.2V 0100_1000 : 1.5V 1010_0000 : 2.6V 1100_1000 : 3.1V $V = Vset * 12.5mV + 0.6V$								

DC5_VSET (0x69)

Offset=0x69 default= 0x48

Bit	Name	Description	R/W	Reset ²									
7:0	DC5_VSET	DC5 电压调节 <table border="1"> <tr> <td>Code</td> <td>电压</td> <td>Step</td> </tr> <tr> <td>0000_0000-</td> <td>0.6-2.6V</td> <td>12.5mV</td> </tr> <tr> <td>1010_0000</td> <td></td> <td></td> </tr> </table> 0000_0000 : 0.6V 0010_0000 : 1.0V 0011_0000 : 1.2V* 0100_1000 : 1.5V 1010_0000 : 2.6V $V = Vset * 12.5mV + 0.6V$	Code	电压	Step	0000_0000-	0.6-2.6V	12.5mV	1010_0000			R/W	01001000
Code	电压	Step											
0000_0000-	0.6-2.6V	12.5mV											
1010_0000													

DCOV_FLAG(0x77)

Offset=0x77 default=0x

Bit	Name	Description	R/W	Reset ³
6:1	DC_OVFLAG	DC1/4/5 过压标识位	R	X

ADC

ADC_CTL1 (0x80)

Offset = 0x80 default= 0x0

Bit	Name	Description	R/W	Reset ³
15:13	-	-	-	-
12	ADC_HF_EN	ADC 高频滤波使能 0: 之前的滤波参数 1: 滤波带宽更低	R/W	0 (RST1 复位)
11	ADC_ALLEN	ADC 使能全开, 只要一个 ADC 开, 则 ADC 一直使能, 避免脉冲信号 0: disable 1: enable	R/W	0 (RST2 复位) (
10	REV	REV	R/W	REV
9	GP2_ADC_EN	0: disable 1: enable	R/W	0
8	GP1_ADC_EN	0: disable 1: enable	R/W	0
7	TEMP_ADC_EN	0: disable 1: enable	R/W	0
6	IDCIN_ADC_EN	0: disable 1: enable	R/W	0
5				
4				
3	VDCIN_ADC_EN	0: disable 1: enable	R/W	0
2	VSYS_ADC_EN	0: disable 1: enable	R/W	0
1				
0	VBAT_ADC_EN	对应 ADC 使能, 0: 关闭 1: 使能	R/W	0

Note: GP2_ADC_EN 和 GP1_ADC_EN 需要 MFP 配置成 GP2_ADC 和 GP1_ADC 才能打开, 否则寄存器无法写 1

ADC_CTL2 (0x81)

Offset = 0x81 default= 0x4555 bit9:2—Otpaddr=0x31; bit11:10—Otpaddr=0x32[1:0];

Bit	Name	Description	R/W	Reset ²
-----	------	-------------	-----	--------------------

15	-	-	-	-
14	ADC_FILTER_EN	ADC 数据均值滤波处理 0:disable 1:enable 16 次平均值	R/W	1 (RST1)
13	GP2_ADC_CTL	GP2_ADC 用途 0: 通用输入 1: 用于 ADC_KEY	R/W	0 (RST3)
12	GP1_ADC_CTL	GP1_ADC 用途 0: 通用输入 1: 外接 NTC	R/W	0 (RST3)
11:10	ADC_SICMP	ADC 比较器电流调节 11: x 2 10: x 1.5 01: x 1 00: x 0.5	R/W	01 (RST1)
9:8	ADC_SIDAC	ADC 子 DAC 电流调节 11: x 2 10: x 1.5 01: x 1 00: x 0.5	R/W	01 (RST1)
7:6	ADC_SIREF	ADC 参考源电流调节 11: x 2 10: x 1.5 01: x 1 00: x 0.5	R/W	01 (RST1)
5:4	ADC_SISH	ADC 采样保持电流调节 11: x 2 10: x 1.5 01: x 1 00: x 0.5	R/W	01 (RST1)
3:2	ADC_SITOT	ADC 总偏置电流调节 11: x 2 10: x 1.5 01: x 1	R/W	01 (RST1)

Bit	Name	Description	R/W	Reset ³
1	EN_TEST	ADC 测试模式使能 1: ENABLE 0: DISABLE *测试模式下输入口为 GPIO1	R/W	0
0	EN_CHOPPER	ADC chopper 使能 1: ENABLE 0: DISABLE	R/W	1

VBAT_ADC_DATA (0x82)

Offset = 0x82 default= 0x

Bit	Name	Description	R/W	Reset ³
11:0	VBAT_ADC_DATA	ADC DATA	R	x

VSYS_ADC_DATA (0x84)

Offset = 0x84 default= 0x

Bit	Name	Description	R/W	Reset ³
11:0	VSYS_ADC_DATA	ADC DATA	R	x

VDCIN_ADC_DATA (0x85)

Offset = 0x85 default= 0x

Bit	Name	Description	R/W	Reset ³
11:0	VDCIN_ADC_DATA	ADC DATA	R	x

IBUS_ADC_DATA (0x87)

Offset = 0x87 default= 0x

Bit	Name	Description	R/W	Reset ³
11: 0	IBUS_ADC_DATA	ADC DATA	R	x

IDCIN_ADC_DATA (0x88)

Offset = 0x88 default= 0x

Bit	Name	Description	R/W	Reset ³
11: 0	IDCIN_ADC_DATA	ADC DATA	R	x

TEMP_ADC_DATA (0x89)

Offset = 0x89 default= 0x

Bit	Name	Description	R/W	Reset ³
11: 0	TEMP_ADC_DATA	ADC DATA	R	x

GP1_ADC_DATA (0x8A)

Offset = 0x8a default= 0x

Bit	Name	Description	R/W	Reset ³
11: 0	GP1_ADC_DATA	ADC DATA	R	x

GP2_ADC_DATA (0x8B)

Offset = 0x8b default= 0x

Bit	Name	Description	R/W	Reset ³
11: 0	GP_ADC_DATA	ADC DATA	R	x

INTS/MFP**INT_FLAG (0xA1)**

Offset = 0xa1 default= 0x0

Bit	Name	Description	R/W	Reset ³
15	ONOFF_FLAG	ONOFF 状态 0: 抬起 1: 按下	R	x
14	PWRIN_FLAG	DCIN/VBUS 异常事件标识位 0: 无 1: 发生 具体事件查询寄存器 PWRIN_FLAG	R	0
13	LDOOC_FLAG	LDO 过流标识位 0: 无 1: 发生 具体查询寄存器 LDOOC_IP	R	0
12	DCOC_FLAG	DC/DC 过流标识位 0: 无 1: 发生 具体查询寄存器	R	0
11	HPCOM_PENDING	HPCOM 过流标识位	R/W	0

		0: 无 1: 发生		
10	ADCKEY_PENDING	ADCKEY 变化标识位 0: 无 1: 发生	R/W	0
9				
8	HT_PENDING	高温报警 标识位 0: 无 1: 发生	R/W	0
7	LB_PENDING	电池低电 标识位 0: 无 1: 发生	R/W	0
6	DCINOUT_PENDING	DCIN 拔出标识位 0: 无 1: 插入	R/W	0
5	DCINPLUG_PENDING	DCIN 插入标识位 0: 无 1: 插入	R/W	0
4				
3				
2	ONOFF_US_PENDING	ONOFF 超短按事件发生 0: 无 1: 发生	R/W	0
1	ONOFF_L_PENDING	ONOFF 长按键事件发生 0: 无 1: 发生	R/W	0
0	ONOFF_S_PENDING	ONOFF 短按键事件发生 0: 无 1: 发生	R/W	0

Pending 位 写 1 清 0

INT_MASK (0xA2)

Offset = 0xa2 default= 0x7fff

Bit	Name	Description	R/W	Reset ³
15	-	-	-	-
14	PWRIN_MASK	DCIN VBUS 异常 interrupt mask 0: 产生中断 1: 不产生中断	R/W	1
13	LDOOC_MASK	LDO 过流 interrupt mask 0: 产生中断 1: 不产生中断	R/W	1
12	DCOC_MASK	DC/DC 过流 interrupt mask 0: 产生中断 1: 不产生中断	R/W	1
11	HPCOM_MASK	HPCOM 过流 interrupt mask 0: 产生中断 1: 不产生中断	R/W	1
10	ADCKEY_MASK	ADCKEY interrupt mask 0: 产生中断 1: 不产生中断	R/W	1
9				
8	HT_MASK	高温报警 interrupt mask 0: 产生中断 1: 不产生中断	R/W	1
7	LB_MASK	电池低电 interrupt mask 0: 产生中断 1: 不产生中断	R/W	1
6	DCINOUT_MASK	DCIN 拔出 interrupt mask 0: 产生中断 1: 不产生中断	R/W	1
5	DCINPLUG_MASK	DCIN 插入 interrupt mask 0: 产生中断 1: 不产生中断	R/W	1
4				
3				
2	ONOFF_US_MASK	ONOFF 超短按下 interrupt mask 0: 产生中断	R/W	1

		1: 不产生中断		
1	ONOFF_L_MASK	ONOFF 长按键 interrupt mask 0: 产生中断 1: 不产生中断	R/W	1
0	ONOFF_S_MASK	ONOFF 短按键 interrupt mask 0: 产生中断 1: 不产生中断	R/W	1

I2C_ADDR (0xA3)

Offset = 0xa3 default= 0x60

Bit	Name	Description	R/W	Reset ¹
15:8	-	-	-	-
7:4	I2C_ADDR	I2C 从地址	R	0110
3:1	I2C_ADDR_OTP	I2C 从地址	R/W	000
0			R	0

MFP_CTL1 (0xA4)

Offset = 0xa4 default= 0x6e4

Bit	Name	Description	R/W	Reset ²
15:11	-	-	-	-
10:9	IO4_MFP	IO4 复用配置 00: I2S_ADCDAT 01: PCMO_DOUT 10: CKOUT 11: GPIO4*	R/W	11
8:6	IO3_MFP	IO3 复用配置 000: I2S_DACDAT 001: PCMO_DIN 010: CKOUT	R/W	011

		011:GPIO3* 100: GP1ADC		
5:3	IO2_MFP	IO2 复用配置 000: I2S_LRCLK 001:PCM0_SYNC 010: PCM1_SYNCO 011: CKOUT 100: GPIO2* 101: GP2ADC	R/W	100
2:0	IO1_MFP	IO1 复用配置 000: I2S_MCLK 001:PCM0_CLK 010:PCM1_CLKO 011:WKIRQ 100: GPIO1*	R/W	100

MFP_CTL2 (0xA5)

Offset = 0xA5 default= 0x100

Bit	Name	Description	R/W	Reset ²
15:10	-	-	-	-
9:8				
7:6	IO10_MFP	IO10 复用配置 00: AIN2R* 01:PCM2_DOUT 10:GPIO10	R/W	00
5:4	IO8_MFP	IO8 复用配置 00: AIN2L* 01:PCM2_DIN 10:GPIO8	R/W	00
3:2				
1:0				

Note1:

不做 AIN2L 应用，AMPL2EN =0; 不做 AIN2L 应用，AMPR2EN =0,MIC2_DF_EN=0

MFP_CTL3 (0xA6)

Offset = 0xa6 default= 0x0

Bit	Name	Description	R/W	Reset ¹
15:12	-	-	-	-
11:9				
8:6				
5:3	IO9_MFP	IO9 复用配置 000: LDO9* 001: GP1ADC 010: PCM1_SYNC 101:GPIO9	R/W	000
2:0				

GPIO_OE (0xA7)

Offset = 0xa7 default= 0x0

Bit	Name	Description	R/W	Reset ²
15:14	-	-	-	-
13:1	GPIO_OE	GPIO1~13 输出使能 0: disable 1: enable	R/W	00
0	-	-	-	-

GPIO_IE (0xA8)

Offset = 0xa8 default= 0x0

Bit	Name	Description	R/W	Reset ³
15:14	-	-	-	-
13:1	GPIO_IE	GPIO1~13 输入使能 0: disable	R/W	00

		1: enable		
0	-	-	-	-

GPIO_DAT (0xA9)

Offset = 0xa9 default= 0x0

Bit	Name	Description	R/W	Reset ²
15:14	-	-	-	-
13:1	GPIO_DAT	GPIO1~13 数据	R/W	0
0	-	-	-	-

PAD_PU (0xAA)

Offset = 0xaa default= 0x0

Bit	Name	Description	R/W	Reset ³
15:14	-	-	-	-
13:1	GPIO_PU	数字 IO 上拉使能 0: disable 1: enable	R/W	00
0	-	-	-	-

PAD_PD (0xAB)

Offset = 0xab default= 0x0

Bit	Name	Description	R/W	Reset ³
15:14	-	-	-	-
13:1	GPIO_PD	数字 IO 下拉使能 0: disable 1: enable	R/W	00
0	-	-	-	-

PAD_CTL(0xAC)

Offset = 0xac default= 0x0fff

Bit	Name	Description	R/W	Reset ^{1,2}
15:14	-	-	-	-
13				
12	POR_PAD	POR PAD 输出配置 0: SVCC CMOS 输出 1: 开漏输出	R/W	0 (RST1)
11:10	PCM2_PAD_PWR	AIN1L,AIN1R,AIN2L,AIN2R 做数字 IO 时的电源配置 00: 1.8V 01: 2.5V 10:关掉电源调节功能, 只接 SVCC 11:关掉电源调节功能, 只接 SVCC	R/W	11 (RST2)
9:8	PCM1_PAD_PWR	LDO5,LDO9,LDO11,LDO12 做数字 IO 时的电源配置 00: 1.8V 01: 2.5V 10:关掉电源调节功能, 只接 SVCC 11:关掉电源调节功能, 只接 SVCC	R/W	11 (RST2)
7:6	I2SDAC_PAD_PWR	I2S_DACDAT 做数字 IO 时的电源配置 00: 1.8V 01: 2.5V 10:关掉电源调节功能, 只接 SVCC 11:关掉电源调节功能, 只接 SVCC	R/W	11 (RST2)
5:4	I2SADC_PAD_PWR	I2S_ADCDAT 做数字 IO 时的电源配置 00: 1.8V 01: 2.5V 10:关掉电源调节功能, 只接 SVCC 11:关掉电源调节功能, 只接 SVCC	R/W	11 (RST2)
3:2	I2SLRCK_PAD_PWR	00: 1.8V 01: 2.5V 10:关掉电源调节功能, 只接 SVCC	R/W	11 (RST2)

		11:关掉电源调节功能, 只接 SVCC		
1:0	I2SMCK_PAD_PWR	I2S_MCLK 做数字 IO 时的电源配置 00: 1.8V 01: 2.5V 10:关掉电源调节功能, 只接 SVCC 11:关掉电源调节功能, 只接 SVCC	R/W	11 (RST2)

INT_PENDING1 (0xAD)

Offset = 0xad default= 0x0

Bit	Name	Description	R/W	Reset ³
15:10	-	-	-	-
9	LDO9_OCPENDING	0: None 1: 过流中断 pending	R/W	0
8	LDO8_OCPENDING	0: None 1: 过流中断 pending	R/W	0
7	LDO7_OCPENDING	0: None 1: 过流中断 pending	R/W	0
6	LDO6_OCPENDING	0: None 1: 过流中断 pending	R/W	0
5				
4	LDO4_OCPENDING	0: None 1: 过流中断 pending	R/W	0
3	LDO3_OCPENDING	0: None 1: 过流中断 pending	R/W	0
2	LDO2_OCPENDING	0: None 1: 过流中断 pending	R/W	0

1:0				
-----	--	--	--	--

写1清0

INT_PENDING2 (0xAE)

Offset = 0xae default= 0x0

Bit	Name	Description	R/W	Reset ³	T
15:10	-	-	-	-	
9	DCDC5_OCPENDING	0: None 1: 过流中断 pending	R/W	0	D
8	DCDC4_OCPENDING	0: None 1: 过流中断 pending	R/W	0	D
7					
6					
5	DCDC1_OCPENDING	0: None 1: 过流中断 pending	R/W	0	D
4	BATOC_PENDING	0: 无 1: BAT 过流中断 Pending	R/W	0	D
3					
2	DCINUV_PENDING	0: 无 1: DCIN 欠压中断 Pending	R/W	0	D
1	DCINOC_PENDING	0: 无 1: DCIN 过流中断 Pending	R/W	0	D
0					

Note: 写1清0

PAD_DRV (0xAF)

Offset = 0xaf default= 0x0

Bit	Name	Description	R/W	Reset ³
15:14	Rev	Rev	R/W	0

13:1	PAD_DRV	IO1~13 驱动能力配置 0: 弱 1: 强	R/W	0
0	-	-	-	-

AUDIO

I2S_CONFIG (0xD0)

Offset = 0xD0 default= 0x 8680

Bits	Name	Description	RW	Reset ³
15	FIFO_RST	写 0 后 复位 FIFO	RW	1
14	REV	REV	RW	0
13	I2SPCM0_SEL	select I2S or PCM0 1:PCM0 0:i2s	RW	0
12:10	I2SBCLK_DIV	I2S BCLK divider 000: 2 001: 4 010: 6 011: 8 100: 12 101: 16 Others :4	RW	001
9:8	WS_LEN	Select word length 00:16bit 01:20bit 10:24bit 11:32bit	RW	10
7:6	I2S_FORMAT	set i2s format 00: left justified 01:right justified 1X:i2s nomal	RW	10

5	BIT_CYCLE	bclk/ws bit cycle 1:16bit 0:32 bit	RW	0
4	BCLK_SS	Select I2S BLCK soure 1:from PAD 0:MCLK divider	RW	0
3	BCLK_POL	I2S BCK polarity contorl 1:falling edge active 0:rising edge active	RW	0
2	WS_INV	I2S WS inverted 0: disable 1: enable	RW	0
1	I2S_RX_EN	I2S RX enable: 0: disable 1: enable	RW	0
0	I2S_TX_EN	I2S TX enable: 0: disable 1: enable	RW	0

I2S_TXMIX (0xD2)

Offset = 0xD2 default= 0x 0110

Bits	Name	Description	RW	Reset ³
15:13	REV	REV	RW	0
12	I2S_MIX	Select TX data mix left/right 1:mix 0:normal	RW	0
11:8	I2SRCH_SS	set i2stx right source 0001: adc_out_r 0010: i2s_out_r 0100: pcm1_pdo 1000: pcm2_pdo	R/W	0001

7:4	I2SLCH_SS	set i2stx left source 0001: adc_out_l 0010: i2s_out_l 0100: pcm1_pdo 1000: pcm2_pdo	RW	0001
3:2	I2SRCH_GAIN	I2S TX right channel gain 00: 1 01: 1/2 1?: 1/4	RW	00
1:0	I2SLCH_GAIN	I2S TX left channel gain 00: 1 01: 1/2 1?: 1/4	RW	00

PCM_CTL0(0xD3)

Offset = 0xD3 default= 0x 1280

Bits	Name	Description	RW	Reset ³
15:12	PCM0_SS	PCM0 right source 0001: adc_out_r 0010: i2s_out_r 0100: pcm1_pdo 1000: pcm2_pdo	R/W	0001
11:10	PCM0_GAIN	Set PCM0 gain 00: 1 01: 1/2 1x: 1/4	RW	00

9:7	PCM0_FORMAT	PCM0 Data Code Format 000: μ -Law(8bit) 001: A-Law(8bit) 010: linear PCM(13bit) 011: linear PCM(14bit) 100: linear PCM(15bit) 101: linear PCM(16bit)	RW	101
6	PCM0_SIGN_EXT		RW	0
5	PCM0_FRMT	1:16bit 0:8bit	RW	0
4	PCM0_SYNC	PCM0 sync mode 1:long sync 0:short sync	RW	0
3	PCM0_LSB_FIRST	PCM0 LSB/MSB first set 1:LSB first 0:MSB first	RW	0
2	PCM0_LOOPBACK	PCM0 loop back (TX sdo-->RX sdi) 0: disable 1:enable	RW	0
1	PCM0_MUTE	PCM0 mute enable 0: disable 1:enable	RW	0
0	PCM0_INV	PCM0 inverter enable 0: disable 1:enable	RW	0

PCM_CTL1(0xD4)

Offset = 0xD4 default= 0x 1280

Bits	Name	Description	RW	Reset ³
------	------	-------------	----	--------------------

15:12	PCM1_SS	PCM1 right source 0001: adc_out_r 0010: i2s_out_r 0100: pcm1_pdo 1000: pcm2_pdo	R/W	0001
11:10	PCM1_GAIN	Set PCM1 gain 00: 1 01: 1/2 1x: 1/4	RW	00
9:7	PCM1_FORMAT	PCM1 Data Code Format 000: μ -Law(8bit) 001: A-Law(8bit) 010: linear PCM(13bit) 011: linear PCM(14bit) 100: linear PCM(15bit) 101: linear PCM(16bit)	RW	101
6	PCM1_SIGN_EXT		RW	0
5	PCM1_FRMT	1:16bit 0:8bit	RW	0
4	PCM1_SYNC	PCM1 sync mode 1:long sync 0:short sync	RW	0
3	PCM1_LSB_FIRST	PCM1 LSB/MSB first set 1:LSB first 0:MSB first	RW	0
2	PCM1_LOOPBACK	PCM1 loop back (TX sdo-->RX sdi) 0: disable 1:enable	RW	0
1	PCM1_MUTE	PCM1 mute enable 0: disable 1:enable	RW	0
0	PCM1_INV	PCM1 inverter enable 0: disable 1:enable	RW	0

PCM_CTL2(0xD5)

Offset = 0xD5 default= 0x 1280

Bits	Name	Description	RW	Reset ³
15:12	PCM2_SS	PCM2 right source 0001: adc_out_r 0010: i2s_out_r 0100: PCM2_pdo 1000: pcm2_pdo	R/W	0001
11:10	PCM2_GAIN	Set PCM2 gain 00: 1 01: 1/2 1x: 1/4	RW	00
9:7	PCM2_FORMAT	PCM2 Data Code Format 000: μ -Law(8bit) 001: A-Law(8bit) 010: linear PCM(13bit) 011: linear PCM(14bit) 100: linear PCM(15bit) 101: linear PCM(16bit)	RW	101
6	PCM2_SIGN_EXT		RW	0
5	PCM2_FRMT	1:16bit 0:8bit	RW	0
4	PCM2_SYNC	PCM2 sync mode 1:long sync 0:short sync	RW	0
3	PCM2_LSB_FIRST	PCM2 LSB/MSB first set 1:LSB first 0:MSB first	RW	0
2	PCM2_LOOPBACK	PCM2 loop back (TX sdo-->RX sdi) 0: disable 1:enable	RW	0

1	PCM2_MUTE	PCM2 mute enable 0: disable 1:enable	RW	0
0	PCM2_INV	PCM2 inverter enable 0: disable 1:enable	RW	0

ADC_CTL(0xD6)

Offset = 0xD6 default= 0x 0000

Bits	Name	Description	RW	Reset ³
15:14	SEL_ADC_CLK	Select ADC clock source 00:i2s_mclk 01:pcm0_clk 10:pcm1_clk 11: pcm2_clk	R/W	00
13:10	REV	REV	RW	0
9	ADC_CLK_EDGE	0: Rising Edge 1: Falling Edge	RW	0
8:6	SEL_HPF_FREQ	set HPF cut frequency 000:3.7hz 001:7.5hz 010:14.9hz 011:29.9hz 100:120.3hz 101:242.5hz 110:0492.7hz 111:1017.1hz	RW	000
5	SEL_ADC_OSR	set ADC Over Sample Rate 1:64 0:128	RW	0

4	EN_HPF	enable HPF 0: disable 1:enable	RW	0
3	EN_DMIC_R	enable DMIC right 0: disable 1:enable	RW	0
2	EN_DMIC_L	enable DMIC left 0: disable 1:enable	RW	0
1	EN_ADC_R	enable ADC right 0: disable 1:enable	RW	0
0	EN_ADC_L	enable ADC left 0: disable 1:enable	RW	0

ADC_VOL(0xD7)

Offset = 0xD7 default=0x BEBE

Bits	Name	Description	RW	Reset ³
15:8	ADC_VOLUME_R	ADC right volume set Step=0.375dB 8'hFF: max 8'BE: 0dB 8'h00:mute	R/W	BE
7:0	ADC_VOLUME_L	ADC left volume set Step=0.375dB 8'hFF: max 8'BE: 0dB 8'h00:mute	R/W	BE

DAC_CTL(0xD8)

Offset = 0xD8 default=0x 0180

Bits	Name	Description	RW	Reset ³
15:14	SEL_ADC_CLK	Select DAC clock source 00:i2s_mclk 01:pcm0_clk 10:pcm1_clk 11: pcm2_clk	R/W	00
13:12	REV	REV	RW	0
11:10	SEL_DAC_COEF	set band width 00:wide 01:middle 1X:narrow	R/W	00
9:8	SEL_DAC_ISR	set input sample frequency 00:1/512 01:1/256 1X:1/128	R/W	01
7:6	SEL_DAC_OSR	set output sample frequency 00:1/16 01:1/8 10:1/4 11:1/2	RW	10
5	EN_DAC_DITH	Enable dither 0: disable 1:enable	RW	0
4	EN_DAC_SOFT	enable soft 0: disable 1:enable	RW	0
3	EN_MUTE_R	enable mute right 0: disable 1:enable	RW	0

2	EN_MUTE_L	enable mute left 0: disable 1:enable	RW	0
1	EN_DAC_R	enable DAC right 0: disable 1:enable	RW	0
0	EN_DAC_L	enable DAC left 0: disable 1:enable	RW	0

DAC_VOL(0xD9)

Offset = 0xD9 default= 0x BEBE

Bits	Name	Description	RW	Reset ³
15:8	DAC_VOLUME_R	DAC right volume set Step=0.375dB 8'hFF: max 8'BE: 0dB 8'h00:mute	R/W	BE
7:0	DAC_VOLUME_L	DAC left volume set Step=0.375dB 8'hFF: max 8'BE: 0dB 8'h00:mute	R/W	BE

DAC_MIX(0xDA)

Offset = 0xDA default=0x 0110

Bits	Name	Description	RW	Reset ³
15:12	REV	REV	RW	0

11:8	SET_DAC_R_SS	set DAC right source ***1: adc_out_r **1*: i2s_out_r *1**: pcm1_pdo 1***: pcm2_pdo	R/W	0001
7:4	SET_DAC_L_SS	set DAC left source ***1: adc_out_l **1*: i2s_out_l *1**: pcm1_pdo 1***: pcm2_pdo	RW	0001
3:2	SET_DAC_R_GAIN	DAC right channel gain 00: 1 01: 1/2 1x: 1/4	RW	00
1:0	SET_DAC_L_GAIN	DAC left channel gain 00: 1 01: 1/2 1x: 1/4	RW	00

AUDIO_DEBUG(0xDB)

Offset = 0xDB default=0x 0000

Bits	Name	Description	RW	Reset ³
15	REV	REV	RW	0
14:13	SEL_PCM0_CLK	0x:pcm0_clk 10:pcm1_clk 11:pcm2_clk	R/W	00
12	PCM_DIRECT	Pcm0_clk-->pcm1 clock	RW	0
11	SEL_PCM_MIX	Select PCM1/PCM2 mix 1:mix 0:normal	R/W	0

10	PCM2_EN	PCM2 enable 0: disable 1:enable	RW	0
9	PCM1_EN	PCM1 enable 0: disable 1:enable	RW	0
8	PCM0_EN	PCM0 enable 0: disable 1:enable	RW	0
7:6	SEL_DEBUG_OUT	Select debug out 00:ADC 01:left DAC SDM data 10:right DAC SDM data 11:DEM 8bit data	RW	00
5:4	SEL_DEBUG_PH	Select DAC debug in phase 00:0phase 01:1phase 10:2phase 11:3phase	RW	00
3				
2	SEL_DEBUG_CH	DAC select debug out channle 0:left 1:right	RW	0
1	DEBUG_ADC_EN	ADC debug_enable	RW	0
0	DEBUG_DAC_EN	DAC debug enable	RW	0

AUI_CTL1 (0xE0)

Offset=0xE0 default= 0x1F00

Bits	Name	Description	RW	Reset ³
------	------	-------------	----	--------------------

15:13	REV	REV	RW	0
12	AMPR2EN	Channel-2 R2 放大器使能: 0: disable 1: enable	RW	1
11	AMPL2EN	Channel-2 L2 放大器使能: 0: disable 1: enable	RW	1
10	AMPR1EN	Channel-1 R1 放大器使能: 0: disable 1: enable	RW	1
9	AMPL1EN	Channel-1 L1 放大器使能: 0: disable 1: enable	RW	1
8	AUI_ZCEN	过零调节输入音量使能: 0: disable 1: enable	RW	1
7	MIC2_DF_EN	Channel-2 麦克风模式差分输入使能: 0: 单端输入模式 1: 差分输入模式	RW	0
6	MIC1_DF_EN	Channel-1 麦克风模式差分输入使能: 0: 单端输入模式 1: 差分输入模式	RW	0
5	AUX2EN	Channel-2 Line-In 模式使能: 0: disable 1: enable	RW	0
4	MIC2EN	Channel-2 麦克风模式使能: 0: disable 1: enable *MIC2EN=1 时, AUX2EN 无效	RW	0
3	AUX1EN	Channel-1 Line-In 模式使能: 0: disable 1: enable	RW	0

2	MIC1EN	Channel-1 麦克风模式使能: 0: disable 1: enable *MIC1EN=1 时, AUX1EN 无效	RW	0
1	ADCEN_R	右声道 ADC 使能: 0: disable 1: enable	RW	0
0	ADCEN_L	左声道 ADC 使能: 0: disable 1: enable	RW	0

AUI_CTL2 (0xE1)

Offset=0xe1 default= 0x0088

Bits	Name	Description	RW	Reset ³
15	R2AR_GBST	Channel-2 R 声道到 ADC_R 的增益 boost 使能: 0: disable 1: enable , 增益增大 9.5dB	RW	0
14	R1AR_GBST	Channel-1 R 声道到 ADC_R 的增益 boost 使能: 0: disable 1: enable , 增益增大 9.5dB	RW	0
13	L2AR_GBST	Channel-2 L 声道到 ADC_R 的增益 boost 使能: 0: disable 1: enable , 增益增大 9.5dB	RW	0
12	L1AR_GBST	Channel-1 L 声道到 ADC_R 的增益 boost 使能: 0: disable 1: enable , 增益增大 9.5dB	RW	0
11	R2AL_GBST	Channel-2 R 声道到 ADC_L 的增益 boost 使能: 0: disable 1: enable , 增益增大 9.5dB	RW	0
10	R1AL_GBST	Channel-1 R 声道到 ADC_L 的增益 boost 使能: 0: disable 1: enable , 增益增大 9.5dB	RW	0

9	L2AL_GBST	Channel-2 L 声道到 ADC_L 的增益 boost 使能: 0: disable 1: enable , 增益增大 9.5dB	RW	0
8	L1AL_GBST	Channel-1 L 声道到 ADC_L 的增益 boost 使能: 0: disable 1: enable , 增益增大 9.5dB	RW	0
7:4	GAIN_CH2	Channel-2 音量: 0000: -12dB/6dB 0001: -10.5dB/7.5dB 0010: -9dB/9dB 0011: -7.5dB/10.5dB 0100: -6dB/12dB 0101: -4.5dB/13.5dB 0110: -3dB/15dB 0111: -1.5dB/16.5dB 1000: 0dB/19.5dB 1001: 1.5dB/22.5dB 1010: 3dB/25.5dB 1011: 4.5dB/28.5dB 1100: 6dB/31.5dB 1101: 7.5dB/34.5dB 1110: 9dB/37.5dB 1111: 10.5dB/40.5dB *AUXEN=1 音量/ MICEN=1 音量	RW	1000

3:0	GAIN_CH1	Channel-1 音量: 0000: -12dB/6dB 0001: -10.5dB/7.5dB 0010: -9dB/9dB 0011: -7.5dB/10.5dB 0100: -6dB/12dB 0101: -4.5dB/13.5dB 0110: -3dB/15dB 0111: -1.5dB/16.5dB 1000: 0dB/19.5dB 1001: 1.5dB/22.5dB 1010: 3dB/25.5dB 1011: 4.5dB/28.5dB 1100: 6dB/31.5dB 1101: 7.5dB/34.5dB 1110: 9dB/37.5dB 1111: 10.5dB/40.5dB *AUXEN=1 音量/ MICEN=1 音量	RW	1000
-----	----------	--	----	------

AUI_CTL3 (0xE2)

Offset=0xe2 default= 0x0

Bits	Name	Description	RW	Reset ³
15:12	REV	REV	RW	0
11	DRAREN	DAC R 声道到 ADC_R 通路使能: 0: disable 1: enable	RW	0
10	DLAREN	DAC L 声道到 ADC_R 通路使能: 0: disable 1: enable	RW	0
9	DRALEN	DAC R 声道到 ADC_L 通路使能: 0: disable 1: enable	RW	0

8	DLALEN	DAC L 声道到 ADC_L 通路使能: 0: disable 1: enable	RW	0
7	R2AREN	Channel-2 R 声道到 ADC_R 通路使能: 0: disable 1: enable	RW	0
6	R1AREN	Channel-1 R 声道到 ADC_R 通路使能: 0: disable 1: enable	RW	0
5	L2AREN	Channel-2 L 声道到 ADC_R 通路使能: 0: disable 1: enable	RW	0
4	L1AREN	Channel-1 L 声道到 ADC_R 通路使能: 0: disable 1: enable	RW	0
3	R2ALEN	Channel-2 R 声道到 ADC_L 通路使能: 0: disable 1: enable	RW	0
2	R1ALEN	Channel-1 R 声道到 ADC_L 通路使能: 0: disable 1: enable	RW	0
1	L2ALEN	Channel-2 L 声道到 ADC_L 通路使能: 0: disable 1: enable	RW	0
0	L1ALEN	Channel-1 L 声道到 ADC_L 通路使能: 0: disable 1: enable	RW	0

AUI_CTL4 (0xE3)

Offset=0xe3 default= 0xfd55 **Bit7:0—Otpaddr=0x33; bit12:8—Otpaddr=0x32[6:2];**

Bits	Name	Description	RW	Reset ²
------	------	-------------	----	--------------------

15	AUDIO_EN	Audio 使能, 从 OTP 0x32[7]直接映射, 0: 关闭 Audio 模块 1: 使能 Audio 模块	R	1
14:0	-	-	-	-

AUI_CTL5 (0xE4)

Offset=0xe4 default= 0x0

Bits	Name	Description	RW	Reset ³
15:3	REV	REV	RW	0
2:1	S_VR	MIC BIAS LDO 输出电压调节: 00: 2.5V 01: 2.58V 10: 2.67V 11: 2.77V	RW	00
0	LDOBEN	MIC BIAS LDO 使能: 0: disable 1: enable	RW	0

AUO_CTL1 (0xF0)

Offset=0xf0 default= 0xc

Bits	Name	Description	RW	Reset ³
15:14	REV	REV	RW	0
13	R2DREN	Channel-2 R 声道到 HPD_R 通路使能: 0: disable 1: enable	RW	0
12	R1DREN	Channel-1 R 声道到 HPD_R 通路使能: 0: disable 1: enable	RW	0

11	L2DREN	Channel-2 L 声道到 HPD_R 通路使能: 0: disable 1: enable	RW	0
10	L1DREN	Channel-1 L 声道到 HPD_R 通路使能: 0: disable 1: enable	RW	0
9	R2DLEN	Channel-2 R 声道到 HPD_L 通路使能: 0: disable 1: enable	RW	0
8	R1DLEN	Channel-1 R 声道到 HPD_L 通路使能: 0: disable 1: enable	RW	0
7	L2DLEN	Channel-2 L 声道到 HPD_L 通路使能: 0: disable 1: enable	RW	0
6	L1DLEN	Channel-1 L 声道到 HPD_L 通路使能: 0: disable 1: enable	RW	0
5	DAHPREN	右声道 DAC 到 HPD 通路使能: 0: disable 1: enable	RW	0
4	DAHPLEN	左声道 DAC 到 HPD 通路使能: 0: disable 1: enable	RW	0
3	ZREOB _R	右声道 DAC 零输入 0: input=0 1: normal	RW	1
2	ZREOB_L	左声道 DAC 零输入 0: input=0 1: normal	RW	1
1	DACEN_R	右声道 DAC 使能: 0: disable 1: enable	RW	0

0	DACEN_L	左声道 DAC 使能: 0: disable 1: enable	RW	0
---	---------	--	----	---

AUO_CTL2 (0xF1)

Offset=0xf1 default= 0x1ac0

Bits	Name	Description	RW	Reset ³
15	HPD_OC	HPD 过流状态 0: 正常状态 1: 过流	R	0
14	OCAURSEN	HPD 过流 Auto-Restart 使能: 0: disable 1: enable	RW	0
13	HPD_OCEN	HPD 过流保护使能: 0: disable 1: enable	RW	0
12	HPD_TLEN	HPD 输出下拉使能: 0: disable 1: enable	RW	1
11	CAPLESEN	HPD Cap-less 模式使能: 0: disable 1: enable	RW	1
10	DAHPD_GBST	DAC 到 HPD 通路增益 boost 使能: 0: disable 1: enable	RW	0
9	SIPS_COM[0]	HPD 直驱功率管电流调节 最低位 0: small 1: large	RW	1
8:6	SIPS	HPD 功率管电流调节: 000: smallest 111: largest	RW	011

5	SICOM[2]	HPD 直驱偏置电流调节高 1 位: 0: small 1: large	RW	0
4:0	REV	REV	R/W	REV

AUO_CTL4 (0xF3)

Offset=0xf3 default= 0x041B

Bits	Name	Description	RW	Reset
15:12	-	-	-	-
11:10	SIPS_COM	HPD 直驱功率管电流调节高 2 位: 00: smallest 11: largest	RW	01

9: 5	HPD_VOLUME	HPD 音量调节: 00000: mute 00001: -58dB 00010: -53dB 00011: -47dB 00100: -44dB 00101: -41dB 00110: -39dB 00111: -37dB 01000: -35dB 01001: -33dB 01010: -31.5dB 01011: -30dB 01100: -28.5dB 01101: -27dB 01110: -25.5dB 01111: -24dB 10000: -22.5dB 10001: -21dB 10010: -19.5dB 10011: -18dB 10100: -16.5dB 10101: -15dB 10110: -13.5dB 10111: -12dB 11000: -10.5dB 11001: -9dB 11010: -7.5dB 11011: -6dB 11100: -4.5dB 11101: -3dB 11110: -1.5dB 11111: 0dB	RW	00000
------	------------	--	----	-------

4:3	SICOM[1:0]	HPD 直驱偏置电流调节低 2 位: 00: smallest 11: largest	RW	11
2:0	SIHPD	HPD 偏置电流调节: 000: smallest 111: largest	RW	011

AUO_CTL5 (0xF4)

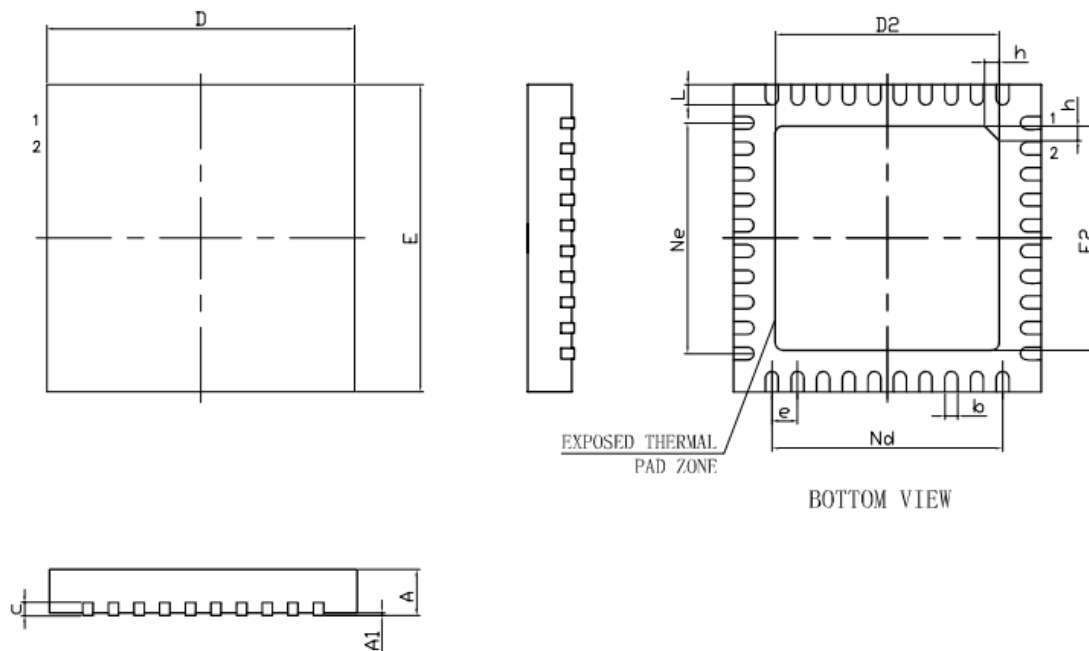
Offset=0xf4 default= 0x6fc

Bits	Name	Description	RW	Reset ³
15:14	REV	REV	RW	00
13:12	ANTIPOP_STEP	set anti_pop data ramp time 00:100ms 01:200ms 10:400ms 11:600ms	RW	00
11:10	HPGAIN_STEP	set gain change step 00:1ms 01:2ms 10:4ms 11:8ms	RW	01
9	SOFT_EN	HPD gain soft change enable 0: disable 1: enable	RW	1
8	ANTIPOP_EN	anti_pop enable 0: disable 1: enable	RW	0
7	ZCEN_R	右声道过零使能: 0: disable 1: enable	RW	1
6	ZCEN_L	左声道过零使能: 0: disable 1: enable	RW	1
5	WPSEN_R	右声道 HPD weak 功率级使能: 0: disable 1: enable	RW	1
4	WPSEN_L	左声道 HPD weak 功率级使能: 0: disable 1: enable	RW	1
3	NPSEN_R	右声道 HPD normal 功率级使能: 0: disable 1: enable	RW	1

2	NPSEN_L	左声道 HPD normal 功率级使能: 0: disable 1: enable	RW	1
1	HPDEN_R	右声道 HPD 使能: 0: disable 1: enable	RW	0
0	HPDEN_L	左声道 HPD 使能: 0: disable 1: enable	RW	0

INJOINIC Corp.

封装 (Package)



INJOINIC

SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.70	0.75	0.80
A1	—	0.02	0.05
b	0.18	0.25	0.30
c	0.18	0.20	0.25
D	5.90	6.00	6.10
D2	4.10	4.20	4.30
e	0.50BSC		
Ne	4.50BSC		
Nd	4.50BSC		
E	5.90	6.00	6.10
E2	4.10	4.20	4.30
L	0.35	0.40	0.45
h	0.30	0.35	0.40
L/F载体尺寸 (MIL)	177*177		

责任及版权申明

英集芯科技有限公司有权对所提供的产品和服务进行更正、修改、增强、改进或其它更改，客户在下订单前应获取最新的相关信息，并验证这些信息是否完整且是最新的。所有产品的销售都遵循在订单确认时所提供的销售条款与条件。

英集芯科技有限公司对应用帮助或客户产品设计不承担任何义务。客户应对其使用英集芯的产品和应用自行负责。为尽量减小与客户产品和应用相关的风险，客户应提供充分的设计与操作安全验证。

客户认可并同意，尽管任何应用相关信息或支持仍可能由英集芯提供，但他们将独力负责满足与其产品及其应用中使用英集芯产品相关的所有法律、法规和安全相关要求。客户声明并同意，他们具备制定与实施安全措施所需的全部专业技术和知识，可预见故障的危险后果、监测故障及其后果、降低有可能造成人身伤害的故障的发生机率并采取适当的补救措施。客户将全额赔偿因在此类关键应用中使用任何英集芯产品而对英集芯及其代理造成的任何损失。

对于英集芯的产品手册或数据表，仅在没有对内容进行任何篡改且带有相关授权、条件、限制和声明的情况下才允许进行复制。英集芯对此类篡改过的文件不承担任何责任或义务。复制第三方的信息可能需要服从额外的限制条件。

英集芯会不定期更新本文档内容，产品实际参数可能因型号或者其他事项不同有所差异，本文档不作为任何明示或暗示的担保或授权。

在转售英集芯产品时，如果对该产品参数的陈述与英集芯标明的参数相比存在差异或虚假成分，则会失去相关英集芯产品的所有明示或暗示授权，且这是不正当的、欺诈性商业行为。英集芯对任何此类虚假陈述均不承担任何责任或义务。